

Docket No.: 50099-180

4-25-02
PD

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shigenobu MAEDA, et al.

Serial No.:

Group Art Unit:

Filed: November 20, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-001418, Filed January 9, 2001.

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in cursive script, appearing to read "Gene Z. Robinson".

Gene Z. Robinson

Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:kjw
Date: November 20, 2001
Facsimile: (202) 756-8087

50099-180
Shigenobu MAEDA
November 20, 2001

日 本 国 特 許 庁 *McDermott, Will & Emery*
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 1月 9日

出 願 番 号

Application Number:

特願2001-001418

出 願 人

Applicant(s):

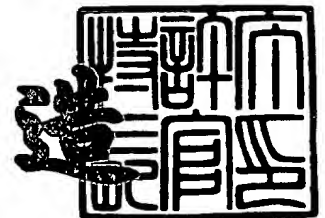
三菱電機株式会社



2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3002729

【書類名】 特許願

【整理番号】 528714JP01

【提出日】 平成13年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 前田 茂伸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岩松 俊明

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 一法師 隆志

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の半導体装置であって、

前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記 S O I 層の上層部に設けられ、前記複数の素子形成領域間を素子分離する分離絶縁膜と、

前記分離絶縁膜下に前記 S O I 層の一部として設けられる第 1 の導電型の半導体領域とを備え、前記半導体領域は、前記複数の素子形成領域のうち、第 1 の導電型を有する、少なくとも 1 つの素子形成領域と接して形成され、

前記 S O I 層に設けられ、外部から電位固定可能な第 1 の導電型のボディー領域をさらに備え、前記ボディー領域は前記半導体領域と接して形成され、

前記半導体領域は少なくとも一部において、前記第 1 導電型と異なる第 2 の導電型の不純物が混入せず、前記第 1 導電型の不純物のみからなる第 1 導電型不純物領域を有することを特徴とする、

半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、

前記第 1 導電型不純物領域は、前記ボディー領域から前記少なくとも 1 つの素子形成領域に至る領域に形成される、

半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、

前記分離絶縁膜は少なくとも一部において、前記第 2 導電型の不純物を含まない第 2 導電型不純物未入領域を有する、

半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、

前記第 2 導電型不純物未入領域は、前記ボディー領域から前記少なくとも 1 つの素子形成領域に至る領域に形成される、

半導体装置。

【請求項 5】 請求項 3 あるいは請求項 4 記載の半導体装置であって、
前記第 2 導電型不純物未入領域は前記分離絶縁膜における他の領域より膜厚が
厚い領域を含む、
半導体装置。

【請求項 6】 請求項 1 ないし請求項 5 のうち、いずれか 1 項に記載の半導
体装置であって、
前記所定の素子はトランジスタを含み、前記トランジスタのゲート電極は前記
分離絶縁膜上に延びて形成される、
半導体装置。

【請求項 7】 請求項 1 ないし請求項 6 のうち、いずれか 1 項に記載の半導
体装置であって、
前記 S O I 層に形成され、素子として機能しないダミー領域をさらに備える、
半導体装置。

【請求項 8】 請求項 7 記載の半導体装置であって、
前記ダミー領域は前記第 1 導電型及び前記第 2 導電型双方の不純物が導入され
る領域を含む、
半導体装置。

【請求項 9】 請求項 7 記載の半導体装置であって、
前記ダミー領域は、前記第 1 導電型の不純物が注入され前記第 2 導電型の不純
物が注入されない第 1 のダミー領域と前記第 2 導電型の不純物が注入され前記第
1 導電型の不純物が注入されない第 2 のダミー領域とを含む、
半導体装置。

【請求項 10】 (a)半導体基板、埋め込み絶縁層及び S O I 層からなる S
O I 基板を準備するステップと、

(b)前記 S O I 層の上層部に分離絶縁膜を選択的に形成するとともに、前記分
離絶縁膜の下層部に第 1 の導電型の半導体領域を形成するステップとを備え、前
記分離絶縁膜によって前記 S O I 層は複数の素子形成領域に分離され、前記複数
の素子形成領域のうち少なくとも 1 つの素子形成領域は第 1 の導電型を有し、前

記半導体領域に接して形成され、

(c) 前記少なくとも 1 つの素子形成領域の表面に第 2 導電型の活性領域を選択的に形成するステップと、

(d) 前記 S O I 層に外部から電位固定可能な第 1 導電型のボディー領域を前記半導体領域に接するように形成するステップとを備え、

前記ステップ(c)は、前記ボディー領域と前記分離絶縁膜における一部領域とを含むブロック領域を前記第 2 導電型の不純物導入を阻止する領域に設定して、前記 S O I 層に前記第 2 導電型の不純物を導入することにより前記活性領域を形成することを特徴とする、

半導体装置の製造方法。

【請求項 1 1】 請求項 1 0 記載の半導体装置の製造方法であって、

前記ステップ(c)は、前記ブロック領域上に形成される第 1 のレジストをマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含む、半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法であって、

前記少なくとも 1 つの素子形成領域はトランジスタの形成領域を含み、

(e) 前記ステップ(c)の前に実行され、前記少なくとも 1 つの素子形成領域に前記トランジスタのゲート電極を形成するステップをさらに備え、前記ゲート電極は前記分離絶縁膜上に延びて形成され、

前記ステップ(c)は、前記第 1 のレジスト及び前記ゲート電極をマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含む、半導体装置の製造方法。

【請求項 1 3】 請求項 1 2 記載の半導体装置の製造方法であって、

前記第 1 のレジスト及び前記ゲート電極は、前記ボディー領域上から前記少なくとも 1 つの素子形成領域上に至る領域に連続的に形成される、半導体装置の製造方法。

【請求項 1 4】 請求項 1 0 記載の半導体装置の製造方法であって、

前記少なくとも 1 つの素子形成領域はトランジスタの形成領域を含み、

(e) 前記ステップ(c)の前に実行され、前記少なくとも 1 つの素子形成領域に前

記トランジスタのゲート電極を形成するステップをさらに備え、前記ゲート電極は前記分離絶縁膜の一部上に延びて形成され、

前記ステップ(c)は、前記ボディ領域上に形成される第1のレジストと前記ゲート電極とをマスクとして、前記SOI層に第2導電型の不純物を導入するステップを含む、

半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法であって、

前記ゲート電極は、前記ボディー領域上から前記少なくとも1つの素子形成領域上に至る領域に形成される、

半導体装置の製造方法。

【請求項16】 請求項10記載の半導体装置の製造方法であって、

前記ステップ(c)は、前記活性領域上に第1の開口部を有する第1のレジストをマスクとして、前記SOI層に第2導電型の不純物を導入するステップを含み、

前記ステップ(d)は、前記ボディー領域上に第2の開口部を有する第2のレジストをマスクとして、前記SOI層に第1導電型の不純物を導入するステップを含む、

半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法であって、

前記第2の開口部は、実質的に前記ボディー領域上のみに設けられる開口部を含む、

半導体装置の製造方法。

【請求項18】 請求項16記載の半導体装置の製造方法であって、

前記第2の開口部は、前記ボディー領域及び前記分離絶縁膜上の一部上に設けられる開口部を含む、

半導体装置の製造方法。

【請求項19】 請求項18記載の半導体装置の製造方法であって、

前記第2の開口部は、前記ボディー領域から前記少なくとも1つの素子形成領域に至る領域に設けられる開口部を含む、

半導体装置の製造方法。

【請求項 2 0】 請求項 1 6 ないし請求項 1 9 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記第 1 のレジストは、前記ボディー領域、前記半導体領域及び前記少なくとも 1 つの素子形成領域以外の領域上に第 1 のダミー開口部をさらに有し、

前記第 2 のレジストは、前記ボディー領域、前記半導体領域及び前記少なくとも 1 つの素子形成領域以外の領域上に第 2 のダミー開口部をさらに有する、

半導体装置の製造方法。

【請求項 2 1】 請求項 2 0 記載の半導体装置の製造方法であって、

前記第 1 及び第 2 のダミー開口部は同じ位置及び形状で形成される、
半導体装置の製造方法。

【請求項 2 2】 請求項 2 0 記載の半導体装置の製造方法であって、

前記第 1 及び第 2 のダミー開口部は重複することなく形成される、
半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、S O I 層の一部を残した部分絶縁膜等の分離絶縁膜によって素子分離を行った S O I 構造の半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

S O I 層の一部を残した部分絶縁膜等の分離絶縁膜によって素子分離を行い、ボディー領域の電位を固定する従来の S O I 構造（以下、「部分分離ボディー固定 S O I 構造」と略記する場合あり）の半導体装置は、例えば、“Y.Hirano et al., IEEE 1999-SOI conf., p131”、特開 2000-243973 号公報、特願 2000-39484 号等
に開示されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

部分分離ボディー固定 S O I 構造の半導体装置は、ボディー抵抗を精度良く制

御してMOSFET等の半導体素子を作成するのが困難であった。以下、その理由を詳述する。

【0004】

図33は従来の部分分離ボディー固定SOI構造の問題点を説明するための断面図である。同図に示すように、シリコン基板（図示せず）上に存在する埋め込み酸化膜2上にSOI層3が形成され、SOI層3は部分酸化膜31によって素子分離される。部分酸化膜31はその下方にSOI層3の下層部であるウェル領域11を残して形成される。

【0005】

そして、SOI層3のトランジスタ形成領域内にチャネル形成領域7が形成され、チャネル形成領域7上にゲート酸化膜8、ゲート電極9が順次形成される。

【0006】

一方、部分酸化膜31を挟んでチャネル形成領域7と反対側にボディー領域10が設けられ、ウェル領域11はボディー領域10及びチャネル形成領域7とそれぞれ接しているため、ボディー領域10は部分酸化膜31下のウェル領域11を介してチャネル形成領域7と電氣的に接続される。

【0007】

MOSトランジスタのソース・ドレイン領域を形成するには、図33に示すように、ゲート電極9等をマスクとしてS/D用不純物イオン19を注入するが、この際、部分酸化膜31上はマスクしない（レジストを形成しない）のが一般的である。

【0008】

したがって、ソース・ドレイン領域形成時にS/D用不純物イオン19の一部が部分酸化膜31下のウェル領域11にも注入されてしまいボディー領域10からチャネル形成領域7に至るウェル領域11の抵抗であるボディー抵抗の抵抗値が高くなり、MOSトランジスタの高速動作が不安定になる恐れがあった。

【0009】

ソース・ドレイン領域形成時のS/D用不純物イオン19の注入条件は、例えば、As（ヒ素）を50keV（注入エネルギー）、 $4 \times 10^{15} / \text{cm}^2$ （ドー

ズ量)である。

【0010】

図34はAsの不純物プロファイルを示すグラフである。なお、注入条件は上述した通りである。同図に示すように、26nmを中心に標準偏差 σ (=8.5nm)の不純物プロファイルとなり、飛程51.5nm(=26+3 σ (nm))となる。

【0011】

したがって、部分酸化膜31の膜厚が薄くなって50nm位になると、As不純物がウェル領域11に確実に到達してしまう。また、部分酸化膜31の膜厚が50nmより少し厚く形成した場合も、図34に示すように、不純物プロファイルのテイル部は51.5nmよりもさらに深いため、部分酸化膜31にAsが注入されてしまう危険性は残る。

【0012】

さらに、CoSi₂(コバルトシリサイド)等のシリサイド領域からのリーク電流を減らすべく、P(リン)を30~50keV、 $1 \times 10^{13}/\text{cm}^2$ 程度で注入するが、PはAsより飛程が深いためウェル領域11に到達する危険性はAsより高くなる。

【0013】

部分酸化膜31がトレンチ分離によって得られる場合、CMP(Chemical Mechanical Polish)処理によって形成されるため、部分酸化膜31の膜厚がパターン密度やウェハ面内の位置等に依存して大きくばらつき、例えば、±30nmほどばらつく。

【0014】

したがって、部分酸化膜31の形成に際し、上述したバラツキを考慮したマージンを設定しておく必要があるが、確実にソース・ドレイン領域形成時のAsイオンが部分酸化膜31下のウェル領域11に注入されないように、部分酸化膜31の膜厚を設定すると、図35に示すように、SOI基板表面であるSOI層3の表面からの部分酸化膜31の形成高さである分離段差32が無視できない高さとなる。

【0015】

その結果、ゲート電極9の形成時において、図35に示すように、部分酸化膜31の側面に残33が生じたり、残33が生じないようにゲート形成用のエッチング時間を長くすると、ゲート酸化膜8にダメージが生じてゲート酸化膜8の信頼性が低下する問題があった。

【0016】

図36は従来の部分分離ボディー固定SOI構造の半導体装置の平面図である。同図のC-C断面の断面図が図33となる。ソース・ドレイン領域形成時のN型不純物注入時は、P型のボディー領域10にN型不純物が注入しないように、ボディー領域10全体を覆った N^+ ブロック領域40がレジスト等によってマスクされる。

【0017】

N^+ ブロック領域40は、チャージアップによってゲート酸化膜8が帯電して静電破壊されることがないように、図36に示すように、ボディー領域10を確実に覆う必要最小限の大きさで形成されるのが一般的であった。

【0018】

一方、ボディー領域10のP型不純物注入時は、N型のドレイン領域5、ソース領域6にP型不純物が注入しないように、ドレイン領域5、ソース領域6全体を覆った P^+ ブロック領域39がレジスト等によってマスクされる。

【0019】

P^+ ブロック領域39は、 N^+ ブロック領域40と同様の理由で、図36に示すように、ドレイン領域5、ソース領域6を確実に覆う必要最小限の大きさで形成されるのが一般的であった。

【0020】

上述のように、ソース・ドレイン領域の形成及びボディー領域の形成はそれぞれ N^+ ブロック領域40及び P^+ ブロック領域39をマスクして実行されるため、 P^+ ブロック領域39、 N^+ ブロック領域40以外の領域は、N型及びP型の不純物が共に注入されることになる。

【0021】

その結果、前述したように、ボディー領域 10 とチャンネル形成領域 7 (図 36 では図示せず、図 33 に示すようにゲート電極 9 の下方の S O I 層 3 に存在) とを電氣的に接続するウェル領域 11 に不純物が注入することにより、ボディー領域 10 からチャンネル形成領域 7 に至るウェル領域 11 の抵抗であるボディー抵抗 R 1 の抵抗値が上昇する、ばらつく等の不具合が生じるため、ボディー抵抗 R 1 を精度良く制御することが困難となる問題が生じてしまうのである。

【 0 0 2 2 】

ボディー抵抗 R 1 の抵抗値が上昇すると、トランジスタの閾値電圧に変動が生じたりして動作が不安定となってしまう問題点があった。なお、この問題点に関しては、例えば、"S.Maeda et al., IEEE TRANSACTION ON ELACTRON DEVICES vol .45,no.7 pp.1479-1486(1998)" に開示されている。

【 0 0 2 3 】

また、ボディー抵抗はノイズ源となり、トランジスタのノイズを増加させてしまうため、ボディー抵抗が不安定なトランジスタを用いて P L L (Phase Locked Loop) 等の回路を構成した場合、位相ノイズ(phase jitter) を増加させてしまうなどの問題が生じる。

【 0 0 2 4 】

このように、ボディー抵抗を下げて安定に制御することは部分分離ボディー固定 S O I 構造の半導体装置にとって重要事項となる。

【 0 0 2 5 】

この発明は上記問題点を解決するためになされたもので、ボディー抵抗の低減化を図った部分分離ボディー固定 S O I 構造の半導体装置及びその製造方法を得ることを目的とする。

【 0 0 2 6 】

【課題を解決するための手段】

この発明に係る請求項 1 記載の半導体装置は、半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造を呈しており、前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記 S O I 層の上層部に設けられ、前記複数の素子形成領域間を素子分離する分離絶縁膜と、前記分離絶縁膜下

に前記 S O I 層の一部として設けられる第 1 の導電型の半導体領域とを備え、前記半導体領域は、前記複数の素子形成領域のうち、第 1 の導電型を有する、少なくとも 1 つの素子形成領域と接して形成され、前記 S O I 層に設けられ、外部から電位固定可能な第 1 の導電型のボディー領域をさらに備え、前記ボディー領域は前記半導体領域と接して形成され、前記半導体領域は少なくとも一部において、前記第 1 導電型と異なる第 2 の導電型の不純物が混入せず、前記第 1 導電型の不純物のみからなる第 1 導電型不純物領域を有している。

【 0 0 2 7 】

また、請求項 2 の発明は、請求項 1 記載の半導体装置であって、前記第 1 導電型不純物領域は、前記ボディー領域から前記少なくとも 1 つの素子形成領域に至る領域に形成される。

【 0 0 2 8 】

また、請求項 3 の発明は、請求項 1 記載の半導体装置であって、前記分離絶縁膜は少なくとも一部において、前記第 2 導電型の不純物を含まない第 2 導電型不純物未入領域を有する。

【 0 0 2 9 】

また、請求項 4 の発明は、請求項 3 記載の半導体装置であって、前記第 2 導電型不純物未入領域は、前記ボディー領域から前記少なくとも 1 つの素子形成領域に至る領域に形成される。

【 0 0 3 0 】

また、請求項 5 の発明は、請求項 3 あるいは請求項 4 記載の半導体装置であって、前記第 2 導電型不純物未入領域は前記分離絶縁膜における他の領域より膜厚が厚い領域を含む。

【 0 0 3 1 】

また、請求項 6 の発明は、請求項 1 ないし請求項 5 のうち、いずれか 1 項に記載の半導体装置であって、前記所定の素子はトランジスタを含み、前記トランジスタのゲート電極は前記分離絶縁膜上に延びて形成される。

【 0 0 3 2 】

また、請求項 7 の発明は、請求項 1 ないし請求項 6 のうち、いずれか 1 項に記

載の半導体装置であって、前記 S O I 層に形成され、素子として機能しないダミー領域をさらに備える。

【 0 0 3 3 】

また、請求項 8 の発明は、請求項 7 記載の半導体装置であって、前記ダミー領域は前記第 1 導電型及び前記第 2 導電型双方の不純物が導入される領域を含む。

【 0 0 3 4 】

また、請求項 9 の発明は、請求項 7 記載の半導体装置であって、前記ダミー領域は、前記第 1 導電型の不純物が注入され前記第 2 導電型の不純物が注入されない第 1 のダミー領域と前記第 2 導電型の不純物が注入され前記第 1 導電型の不純物が注入されない第 2 のダミー領域とを含む。

【 0 0 3 5 】

この発明に係る請求項 1 0 記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 基板を準備するステップと、(b)前記 S O I 層の上層部に分離絶縁膜を選択的に形成するとともに、前記分離絶縁膜の下層部に第 1 の導電型の半導体領域を形成するステップとを備え、前記分離絶縁膜によって前記 S O I 層は複数の素子形成領域に分離され、前記複数の素子形成領域のうち少なくとも 1 つの素子形成領域は第 1 の導電型を有し、前記半導体領域に接して形成され、(c)前記少なくとも 1 つの素子形成領域の表面に第 2 導電型の活性領域を選択的に形成するステップと、(d)前記 S O I 層に外部から電位固定可能な第 1 導電型のボディー領域を前記半導体領域に接するように形成するステップとを備え、前記ステップ(c)は、前記ボディー領域と前記分離絶縁膜における一部領域とを含むブロック領域を前記第 2 導電型の不純物導入を阻止する領域に設定して、前記 S O I 層に前記第 2 導電型の不純物を導入することにより前記活性領域を形成している。

【 0 0 3 6 】

また、請求項 1 1 の発明は、請求項 1 0 記載の半導体装置の製造方法であって、前記ステップ(c)は、前記ブロック領域上に形成される第 1 のレジストをマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含む。

【 0 0 3 7 】

また、請求項 1 2 の発明は、請求項 1 1 記載の半導体装置の製造方法であって、前記少なくとも 1 つの素子形成領域はトランジスタの形成領域を含み、(e)前記ステップ(c)の前に実行され、前記少なくとも 1 つの素子形成領域に前記トランジスタのゲート電極を形成するステップをさらに備え、前記ゲート電極は前記分離絶縁膜上に延びて形成され、前記ステップ(c)は、前記第 1 のレジスト及び前記ゲート電極をマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含む。

【 0 0 3 8 】

また、請求項 1 3 の発明は、請求項 1 2 記載の半導体装置の製造方法であって、前記第 1 のレジスト及び前記ゲート電極は、前記ボディー領域上から前記少なくとも 1 つの素子形成領域上に至る領域に連続的に形成される。

【 0 0 3 9 】

また、請求項 1 4 の発明は、請求項 1 0 記載の半導体装置の製造方法であって、前記少なくとも 1 つの素子形成領域はトランジスタの形成領域を含み、(e)前記ステップ(c)の前に実行され、前記少なくとも 1 つの素子形成領域に前記トランジスタのゲート電極を形成するステップをさらに備え、前記ゲート電極は前記分離絶縁膜の一部上に延びて形成され、前記ステップ(c)は、前記ボディー領域上に形成される第 1 のレジストと前記ゲート電極とをマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含む。

【 0 0 4 0 】

また、請求項 1 5 の発明は、請求項 1 4 記載の半導体装置の製造方法であって、前記ゲート電極は、前記ボディー領域上から前記少なくとも 1 つの素子形成領域上に至る領域に形成される。

【 0 0 4 1 】

また、請求項 1 6 の発明は、請求項 1 0 記載の半導体装置の製造方法であって、前記ステップ(c)は、前記活性領域上に第 1 の開口部を有する第 1 のレジストをマスクとして、前記 S O I 層に第 2 導電型の不純物を導入するステップを含み、前記ステップ(d)は、前記ボディー領域上に第 2 の開口部を有する第 2 のレジストをマスクとして、前記 S O I 層に第 1 導電型の不純物を導入するステップを

含む。

【 0 0 4 2 】

また、請求項 1 7 の発明は、請求項 1 6 記載の半導体装置の製造方法であって、前記第 2 の開口部は、実質的に前記ボディー領域上のみに設けられる開口部を含む。

【 0 0 4 3 】

また、請求項 1 8 の発明は、請求項 1 6 記載の半導体装置の製造方法であって、前記第 2 の開口部は、前記ボディー領域及び前記分離絶縁膜上の一部上に設けられる開口部を含む。

【 0 0 4 4 】

また、請求項 1 9 の発明は、請求項 1 8 記載の半導体装置の製造方法であって、前記第 2 の開口部は、前記ボディー領域から前記少なくとも 1 つの素子形成領域に至る領域に設けられる開口部を含む。

【 0 0 4 5 】

また、請求項 2 0 の発明は、請求項 1 6 ないし請求項 1 9 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、前記第 1 のレジストは、前記ボディー領域、前記半導体領域及び前記少なくとも 1 つの素子形成領域以外の領域上に第 1 のダミー開口部をさらに有し、前記第 2 のレジストは、前記ボディー領域、前記半導体領域及び前記少なくとも 1 つの素子形成領域以外の領域上に第 2 のダミー開口部をさらに有する。

【 0 0 4 6 】

また、請求項 2 1 の発明は、請求項 2 0 記載の半導体装置の製造方法であって、前記第 1 及び第 2 のダミー開口部は同じ位置及び形状で形成される。

【 0 0 4 7 】

さらに、請求項 2 2 の発明は、請求項 2 0 記載の半導体装置の製造方法であって、前記第 1 及び第 2 のダミー開口部は重複することなく形成される。

【 0 0 4 8 】

【発明の実施の形態】

<基本構造>

図 1 ～ 図 3 はこの発明の基本となる部分分離ボディー固定 S O I 構造の半導体装置の構成を示す図である。図 1 及び図 2 は断面図、図 3 は平面図であり、図 3 の A - A 断面及び B - B 断面がそれぞれ図 1 及び図 2 となる。

【 0 0 4 9 】

これらの図に示すように、シリコン基板 1、埋め込み酸化膜 2 及び S O I 層からなる S O I 構造の半導体装置における S O I 層 3 の各トランジスタ形成領域は下層部にウェル領域 (1 1 , 1 2) が形成される部分酸化膜 3 1 によって分離される。すなわち、NMOS トランジスタ間を分離する部分酸化膜 3 1 の下層に p 型のウェル領域 1 1 が形成され、PMOS トランジスタ間を分離する部分酸化膜 3 1 の下層に n 型のウェル領域 1 2 が形成され、NMOS トランジスタ、PMOS トランジスタ間を分離する部分酸化膜 3 1 (分離絶縁膜) の下層に p 型のウェル領域 1 1 (NMOS トランジスタ形成領域側) 及び n 型のウェル領域 1 2 (PMOS トランジスタ形成領域側) が形成される。

【 0 0 5 0 】

図 3 に示すように、ウェル領域 1 1 は NMOS トランジスタ群のドレイン領域 5 及びソース領域 6 を囲うように形成され、ウェル領域 1 2 は PMOS トランジスタ群のドレイン領域 5 及びソース領域 6 を囲うように形成される。また、本基本構造では S O I 層 3 上を層間絶縁膜 4 で覆っている。

【 0 0 5 1 】

本基本構造において、部分酸化膜 3 1 によって他のトランジスタから分離される 1 単位の MOS トランジスタは、S O I 層 3 中に形成されるドレイン領域 5、ソース領域 6 及びチャネル形成領域 7、チャネル形成領域 7 上に形成されるゲート酸化膜 8、ゲート酸化膜 8 上に形成されるゲート電極 9 から構成される。また、層間絶縁膜 4 上に形成された配線層 2 2 は、層間絶縁膜 4 中に設けられたコンタクト 2 1 を介してドレイン領域 5 あるいはソース領域 6 と電氣的に接続される。なお、コンタクト 2 1 は大きく描かれているが、小さい穴を複数開口して懸架とを作製してもよい。

【 0 0 5 2 】

また、図 2 及び図 3 に示すように、S O I 層 3 中のウェル領域 1 1 の間にボデ

ィー領域10が形成され、ボディー領域10は隣接するウェル領域11に接している。そして、層間絶縁膜4上に形成された配線層25は、層間絶縁膜4中に設けられたボディーコンタクト23を介してボディー領域10と電氣的に接続される。また、層間絶縁膜4上に形成された配線層26は、層間絶縁膜4中に設けられたゲートコンタクト24を介してゲート電極9と電氣的に接続される。

【0053】

このように、本基本構造の半導体装置では、図1～図3に示すように、素子分離領域の部分酸化膜31がSOI層3の下部にまで到達せず、分離対象となるトランジスタのチャネル形成領域と同一の導電型の不純物が導入されたウェル領域11, 12が部分酸化膜31の下層に設けられている。

【0054】

したがって、各トランジスタの基板電位の固定を、配線層25、ボディーコンタクト23、高濃度のボディー領域10及びウェル領域11を介して外部から行うことができる。なお、PMOSトランジスタ側も同様に、ボディー領域を介して各トランジスタの基板電位を固定することができる。

【0055】

以下、図1～図3を参照してその詳細を説明する。埋め込み酸化膜2の膜厚は例えば100～500nm程度であり、SOI層3の膜厚は30～200nm程度である。チャネル形成領域7は、例えば、 $10^{17} \sim 10^{18} / \text{cm}^3$ 程度の第1導電型の不純物（NMOSではp型不純物、PMOSではn型不純物）の導入によって形成される。ドレイン領域5及びソース領域6はチャネル形成領域7と隣接して、例えば $10^{19} \sim 10^{21} / \text{cm}^3$ 程度の第2導電型の不純物（NMOSではn型不純物、PMOSではp型不純物）の導入によって形成される。

【0056】

隣接するトランジスタ間を分離する部分酸化膜31はSOI層3の下層部をウェル領域形成用に例えば10～100nm程度残して形成される。

【0057】

そして、酸化膜分離用の部分酸化膜31の下部にはチャネル形成領域と同じ導電型のウェル領域11, 12（たとえば $10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ の不純物濃

度、不純物濃度はチャネル形成領域と同じかそれ以上、濃度が高いほどパンチスルーが防止でき分離性能は良くなる）が設けられている。

【0058】

また、ボディー領域10は、図2に示すように、隣接するウェル領域11と同じ導電型で $10^{19} \sim 10^{21} / \text{cm}^3$ の高濃度の不純物が導入される。

【0059】

<MOSトランジスタの基本製造方法>

図4～図9は部分分離ボディー固定SOI構造の半導体装置の基本製造方法を示す断面図である。

【0060】

まず、図4に示すように、酸素イオン注入によって埋め込み酸化膜2を形成するSIMOX法などにより形成した、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を出発材料とする。通常、SOI層3の膜厚は50～200nm、埋め込み酸化膜2の膜厚は100～400nmになる。

【0061】

そして、図5に示すように、SOI基板上に、20nm程度の酸化膜141と200nm程度の窒化膜142を順次堆積した後、パターニングしたレジスト143をマスクとして分離領域をパターニングし、窒化膜142、酸化膜141、SOI層3の3多層膜を、SOI層3の下層部が残存するようにエッチングして複数の部分トレンチ144を形成する。

【0062】

次に、図6に示すように、500nm程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜142の途中まで研磨し、その後、窒化膜142、酸化膜141の除去を行うことにより、部分酸化膜31及びその下のSOI層3（ウェル領域11、12）が形成された構造を得ることができる。

【0063】

その後、選択的に不純物を注入する等の既存のCMOSトランジスタ形成方法を用いて、SOI層3のNMOS形成領域をN型領域に、PMOS形成領域をP

型領域にする。

【0064】

そして、図7に示すように、部分酸化膜31によってNMOS及びPMOS領域がそれぞれMOSトランジスタ単位に素子分離された各領域にゲート酸化膜8及びゲート電極9を選択的に形成する。

【0065】

その後、図8に示すように、PMOSトランジスタ形成領域側のソース・ドレイン領域形成予定領域上及びNMOSトランジスタ側のボディー領域形成予定領域上にレジスト15を形成し、これらの領域をマスクした上でN型不純物イオン17を注入することにより、NMOS領域にドレイン領域5、ソース領域6、PMOS領域にボディー領域（図示せず）をそれぞれ同時に形成する。

【0066】

そして、図9に示すように、レジスト15を除去した後、NMOSトランジスタ側のドレイン領域5、ソース領域6上及びPMOSトランジスタ側のボディー領域（図示せず）上にレジスト16を形成し、これらの領域をマスクした上でP型不純物イオン18を注入することにより、PMOS領域にドレイン領域5、ソース領域6、NMOS領域にボディー領域（図示せず）をそれぞれ同時に形成する。

【0067】

＜実施の形態1＞

図10はこの発明の実施の形態1である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【0068】

同図に示すように、 P^+ ブロック領域39は、従来同様、ドレイン領域5、ソース領域6の形成（予定）領域を確実に覆うべく必要最小限の大きさで形成されているに対し、 N^+ ブロック領域41は、ボディー領域10の形成（予定）領域を確実に覆うとともに、ゲート電極9の長手方向（ゲート幅方向）延長線上にある一部領域をゲートコンタクト領域9cに向けて延長したゲート方向延長領域41aを有している。

【0069】

なお、 P^+ ブロック領域39は図9のP型不純物イオン18の注入時におけるレジスト形成領域を示し、 N^+ ブロック領域41は図8のN型不純物イオン17の注入時におけるレジスト形成領域を示している。

【0070】

図11は実施の形態1のブロックレジスト形成時における断面構造を示す断面図であり、図10のC-C断面に相当する。

【0071】

同図に示すように、 N^+ ブロックレジスト51は、従来の N^+ ブロック領域40よりもゲート電極9方向に延びた N^+ ブロック領域41上に形成されている。同様に、 P^+ ブロックレジスト59は P^+ ブロック領域39上に形成されている。

【0072】

なお、図11では、 N^+ ブロックレジスト51及び P^+ ブロックレジスト59を便宜上共に図示しているが、実際には、 N^+ ブロックレジスト51及び P^+ ブロックレジスト59は同時に存在することはなく、図7～図9で示した製造方法において、 N^+ ブロックレジスト51は図8で示す工程時に設けられ、 P^+ ブロックレジスト59は図9で示す工程時に設けられる。

【0073】

図11に示すように、 N^+ ブロック領域41のゲート方向延長領域41aによって、ゲート電極9の長手方向延長線上においてN型及びP型の不純物が共に注入される恐れのあるウェル領域11である高抵抗形成領域が、従来の高抵抗形成領域A1から高抵抗形成領域A2に狭めることができる。

【0074】

このように、ゲート方向延長領域41a下のウェル領域11には、N型の不純物が注入されることはなくなる。すなわち、ゲート方向延長領域41a下のウェル領域11はN型不純物が混入しないP型不純物領域となるため、その分、ボディ抵抗の抵抗値を下げるとともにばらつきを抑制することができる。その結果、ボディ抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボデ

ィー固定SOI構造の半導体装置を得ることができる。

【0075】

加えて、 N^+ ブロック領域41を従来の N^+ ブロック領域から変化させた実施の形態1の製造方法を行うことによって、製造工程数が従来から増えることはない。

【0076】

図12は一般的な部分分離ボディー固定SOI構造の半導体装置を示す断面図である。同図に示すように、SOI層3の膜厚が100nmの時、部分酸化膜31をトレンチエッチングで50nm掘り、SOI層3の表面から30nm突出する分離段差が設けられるように部分酸化膜31を形成する場合を仮定する。なお、図12の例ではゲート電極9の側面にサイドウォール13を形成した構造を示している。

【0077】

CMP処理（図6の工程時）のばらつきを考慮すると、 ± 30 nm程度の分離段差は変動する。したがって、部分酸化膜31の膜厚は 80 ± 30 nm、すなわち、50～110nmで変化し、最悪の場合に50nmの膜厚となり、N型不純物が部分酸化膜31に注入されてしまいボディー抵抗が減少してしまう状況になる。しかしながら、実施の形態1の製造方法によれば、そのような場合でも、ゲート方向延長領域41a下のウェル領域11にはN型不純物は注入されないため、上記不具合を改善できる。

【0078】

図13は部分酸化膜の落ち込み現象を示す説明図である。一般に、部分酸化膜31内でN型及びP型の不純物が共に打ち込まれた領域はウェットエッチング処理時に他の領域より早く削れる性質を有するため、図13に示すように、膜厚が薄くなる落ち込み現象が生じる。なお、図13において酸化膜4a、シリコン窒化膜4bは層間絶縁膜4を形成する層であり、シリコン窒化膜13bはサイドウォール13を構成する層である。

【0079】

なお、ウェットエッチング処理としては、希フッ酸（HF）処理、アンモニア

(NH_4OH)、過酸化水素水 (H_2O_2)、純水 (H_2O) の混合液を洗浄液として使用する APM (Ammonia-Hydrogen Peroxide Mixture) 洗浄等が挙げられ、例えば、希フッ酸 (HF) 処理はサイドウォール 13 を構成する TEOS 酸化膜の除去時等に行われる。

【 0 0 8 0 】

その結果、空乏層の伸び 37 が発生する分、ウェル領域 11 の実効的膜厚が薄くなるため、ボディー抵抗が高くなってしまう問題がある。したがって、落ち込み現象は可能な限り抑制することが望まれる。

【 0 0 8 1 】

図 14 は従来の製造方法で製造される部分分離ボディー固定 SOI 構造の半導体装置の断面構造を示す断面図である。図 14 は図 36 の C-C 断面に相当する。

【 0 0 8 2 】

同図に示すように、サイドウォール 13 が TEOS 酸化膜 13a 及びシリコン窒化膜 13b によって形成され、層間絶縁膜 4 が酸化膜 4a、シリコン窒化膜 4b 及び酸化膜 4c によって形成される。

【 0 0 8 3 】

図 14 に示すように、 N^+ ブロック領域 40 のみが N 型不純物の注入からマスクされるため、部分酸化膜 31 の大部分において N 型不純物が注入されてしまい、領域 A5～A7 で上述した落ち込み現象が発生してしまう。

【 0 0 8 4 】

図 15 は実施の形態 1 の製造方法で製造される部分分離ボディー固定 SOI 構造の半導体装置の断面構造を示す断面図である。図 15 は図 10 の C-C 断面に相当する。

【 0 0 8 5 】

図 15 に示すように、 N^+ ブロック領域 40 よりゲート方向延長領域 41a 分広い N^+ ブロック領域 41 が N 型不純物の注入からマスクされるため、領域 A5 及び A7 で従来同様、上述した落ち込み現象が発生してしまうが、領域 A6 はゲート方向延長領域 41a によって N 型不純物の注入からマスクされるため、落ち

込み現象を回避させることができる。すなわち、 N^+ ブロックレジスト 5 1 下の部分酸化膜 3 1 は N 型不純物を含まない N 型不純物未入領域となるため、領域 A 6 には落ち込み現象は生じない。

【 0 0 8 6 】

このように、実施の形態 1 の製造方法は落ち込み現象を従来より抑制することができる分、ボディー抵抗の抵抗値の低減化を図ることができる。

【 0 0 8 7 】

なお、図 1 0 では、NMOS 領域における P^+ ブロック領域 3 9 及び N^+ ブロック領域 4 1 を示したが、同様にして、PMOS 領域において、ボディー（形成予定）領域上に N^+ ブロック領域 4 1 と等価な P^+ ブロック領域を形成し、ソース・ドレイン（形成予定）領域上に P^+ ブロック領域 3 9 と等価な N^+ ブロック領域を形成すれば、同等の効果を得ることができる。

【 0 0 8 8 】

< 実施の形態 2 >

図 1 6 はこの発明の実施の形態 2 である部分分離ボディー固定 SOI 構造の半導体装置の製造方法を示す平面図である。

【 0 0 8 9 】

同図に示すように、 N^+ ブロック領域 4 2 は、ボディー領域 1 0 の形成（予定）領域を確実に覆うとともに、ゲート電極 9 の長手方向延長線上ある一部領域をゲートコンタクト領域 9 c に向けて延長し、一部がゲートコンタクト領域 9 c と重複するゲート方向延長領域 4 2 a を有している。

【 0 0 9 0 】

なお、 P^+ ブロック領域 3 9 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト形成領域を示し、 N^+ ブロック領域 4 2 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト形成領域を示している。また、他の構成は図 1 0 で示した実施の形態 1 と同様である。

【 0 0 9 1 】

図 1 7 は実施の形態 2 のブロックレジスト形成時における断面構造を示す断面図であり、図 1 6 の C - C 断面に相当する。

【0092】

同図に示すように、 N^+ ブロックレジスト52は、ゲート電極9に重なり領域A3で重複した N^+ ブロック領域42上に形成されている。また、 P^+ ブロックレジスト59は P^+ ブロック領域39上に形成されている。

【0093】

図17に示すように、ウェル領域11において、ゲート電極9の長手方向延長線上におけるボディー抵抗経路36では、N型及びP型の不純物が共に注入される恐れのある高抵抗形成領域が実質的に存在しなくなる。すなわち、ゲート電極9の長手方向延長線上において、ボディー領域10からトランジスタ形成領域を構成するチャンネル形成領域7に至るウェル領域11がN型不純物が混入しないP型不純物領域となる。

【0094】

なぜならば、ゲート電極9は通常、200nm程度の膜厚があり、50keVで注入されるAsや40keVで注入されるP等の不純物注入をゲート電極9によって確実にブロックすることができるため、ゲート電極9の長手方向延長線上におけるウェル領域11は N^+ ブロックレジスト52及びゲート電極9によってN型の不純物の注入から確実にブロックされる。

【0095】

したがって、ゲート電極9の長手方向延長線上におけるウェル領域11にはN型の不純物が注入されることは確実になくなるため、その分、ボディー抵抗の抵抗値の減少を図るとともにばらつきを抑制することができる。加えて、実施の形態2では、ボディー抵抗経路36に高抵抗形成領域が存在しなくなる分、ボディー抵抗の低減化効果を実施の形態1以上に得ることができる。

【0096】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定SOI構造の半導体装置を得ることができる。

【0097】

加えて、 N^+ ブロック領域42を従来の N^+ ブロック領域から変化させて実施の形態2の製造方法を行うことによって、製造工程数が従来から増えることはない

【0098】

図18は実施の形態2の製造方法で製造される部分分離ボディー固定SOI構造の半導体装置の断面構造を示す断面図である。図18は図16のC-C断面に相当する。

【0099】

図18に示すように、 N^+ ブロック領域40よりゲート方向延長領域42a分広い N^+ ブロック領域42とゲート電極9下の領域がN型不純物の注入からマスクされるため、領域A5では落ち込み現象が発生してしまうが、領域A6及びA7はゲート方向延長領域42aによってN型不純物の注入からマスクされるため、落ち込み現象を回避させることができる。すなわち、 N^+ ブロックレジスト52及びゲート電極9下であるボディー領域10上からチャネル形成領域7上に至る部分酸化膜31の領域がN型不純物未入領域となるため、領域A6及びA7に落ち込み現象は生じない。

【0100】

このように、実施の形態2の製造方法は落ち込み現象を実施の形態1より抑制することができる分、ボディー抵抗の抵抗値の低減化をさらに図ることができる。

【0101】

図19は実施の形態2の製造方法で製造される部分分離ボディー固定SOI構造の半導体装置の断面構造を示す断面図である。図19は図16のD-D断面に相当する。

【0102】

同図に示すように、ゲート電極9及びサイドウォール13(13a, 13b)によってマスクされていない部分酸化膜31の領域A4に落ち込み現象が発生する。

【0103】

なお、図16では、NMOS領域における P^+ ブロック領域39及び N^+ ブロック領域42を示したが、実施の形態1と同様、PMOS領域に同等なブロック領

域を形成すれば、同等の効果を得ることができる。

【 0 1 0 4 】

<実施の形態 3>

図 2 0 はこの発明の実施の形態 3 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【 0 1 0 5 】

同図に示すように、 N^+ ブロック領域 4 3 は、ボディー領域 1 0 の形成（予定）領域を確実に覆うとともに、ゲート電極 9 側の全領域をゲートコンタクト領域 9 c に向けて延長し、ゲートコンタクト領域 9 c と一部重複するように設けている。

【 0 1 0 6 】

なお、 P^+ ブロック領域 3 9 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト形成領域を示し、 N^+ ブロック領域 4 3 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト形成領域を示している。また、他の構成は図 1 6 で示した実施の形態 2 と同様である。

【 0 1 0 7 】

実施の形態 3 の製造方法では、実施の形態 2 と同様、ウェル領域 1 1 におけるボディー抵抗経路には N 型の不純物が注入されることは確実になくなるため、その分、ボディー抵抗の抵抗値の減少を図るとともにばらつきを抑制することができる、ボディー抵抗の低減化効果を実施の形態 1 以上に得ることができる。

【 0 1 0 8 】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 S O I 構造の半導体装置を得ることができる。

【 0 1 0 9 】

加えて、 N^+ ブロック領域 4 3 を従来の N^+ ブロック領域から変化させて実施の形態 3 の製造方法を行うことによって、製造工程数が従来から増えることはない。

【 0 1 1 0 】

さらに、実施の形態 3 の製造方法は、実施の形態 2 と同様の理由で、落ち込み

現象を実施の形態 1 より抑制することができる分、ボディー抵抗の抵抗値の低減化をさらに図ることができる。

【0 1 1 1】

なお、図 2 0 では、NMOS 領域における P^+ ブロック領域 3 9 及び N^+ ブロック領域 4 3 を示したが、実施の形態 1 及び実施の形態 2 と同様、PMOS 領域に同等なブロック領域を形成すれば、同等の効果を得ることができる。

【0 1 1 2】

<実施の形態 4>

図 2 1 はこの発明の実施の形態 4 である部分分離ボディー固定 SOI 構造の半導体装置の製造方法を示す平面図である。

【0 1 1 3】

同図に示すように、 N^+ ブロック領域 4 4 は、ボディー領域 1 0 の形成（予定）領域を確実に覆うとともに、ゲート電極 9 側の全領域をゲートエクステンション領域 9 d に向けて延長し、ゲートエクステンション領域 9 d と一部重複するように設けている。

【0 1 1 4】

なお、 P^+ ブロック領域 3 9 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト形成領域を示し、 N^+ ブロック領域 4 4 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト形成領域を示している。また、他の構成は図 1 6 で示した実施の形態 2 と同様である。

【0 1 1 5】

実施の形態 4 の製造方法では、実施の形態 2 及び実施の形態 3 と同様、ウェル領域 1 1 におけるボディー抵抗経路には N 型の不純物が注入されることは確実になくなるため、その分、ボディー抵抗の抵抗値の減少を図るとともにばらつきを抑制することができ、ボディー抵抗の低減化効果を実施の形態 1 以上に得ることができる。

【0 1 1 6】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 SOI 構造の半導体装置を得ることができる。

【0117】

加えて、 N^+ ブロック領域44を従来の N^+ ブロック領域から変化させて実施の形態4の製造方法を行うことによって、製造工程数が従来から増えることはない。

【0118】

さらに、実施の形態4の製造方法は、実施の形態2と同様の理由で、落ち込み現象を実施の形態1より抑制することができる分、ボディー抵抗の抵抗値の低減化をさらに図ることができる。

【0119】

なお、図21では、NMOS領域における P^+ ブロック領域39及び N^+ ブロック領域44を示したが、実施の形態1～実施の形態3と同様、PMOS領域に同等なブロック領域を形成すれば、同等の効果を得ることができる。

【0120】

<実施の形態5>

図22はこの発明の実施の形態5である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【0121】

同図に示すように、実施の形態5では実施の形態1～実施の形態4で用いたゲート電極9に代えてゲート電極とゲート配線との機能を有するゲート配線部14を設けており、ゲート配線部14は、ドレイン領域5、ソース領域6間のチャネル形成領域7（図示せず）上からボディー領域10方向に延在し、途中で折れ曲がって形成されている。

【0122】

N^+ ブロック領域45は、ボディー領域10の形成（予定）領域を確実に覆うとともに、 P^+ ブロック領域39側の全領域をゲート配線部14に向けて延長し、ゲート配線部14と一部重複するように設けている。

【0123】

なお、 P^+ ブロック領域39は図9のP型不純物イオン18の注入時におけるレジスト形成領域を示し、 N^+ ブロック領域45は図8のN型不純物イオン17

の注入時におけるレジスト形成領域を示している。また、他の構成は図 1 6 で示した実施の形態 2 と同様である。

【 0 1 2 4 】

実施の形態 5 の製造方法では、実施の形態 2 ～実施の形態 4 と同様、ウェル領域 1 1 におけるボディー抵抗経路には N 型の不純物が注入されることは確実になくなるため、その分、ボディー抵抗の抵抗値の減少を図るとともにばらつきを抑制することができ、ボディー抵抗の低減化効果を実施の形態 1 以上に得ることができる。

【 0 1 2 5 】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 S O I 構造の半導体装置を得ることができる。

【 0 1 2 6 】

加えて、 N^+ ブロック領域 4 5 を従来の N^+ ブロック領域から変化させて実施の形態 5 の製造方法を行うことによって、製造工程数が従来から増えることはない。

【 0 1 2 7 】

さらに、実施の形態 5 の製造方法は、実施の形態 2 と同様の理由で、落ち込み現象を実施の形態 1 より抑制することができる分、ボディー抵抗の抵抗値の低減化をさらに図ることができる。

【 0 1 2 8 】

なお、図 2 2 では、N M O S 領域における P^+ ブロック領域 3 9 及び N^+ ブロック領域 4 5 を示したが、実施の形態 1 ～実施の形態 4 と同様、P M O S 領域に同等なブロック領域を形成すれば、同等の効果を得ることができる。

【 0 1 2 9 】

< 実施の形態 6 >

図 2 3 はこの発明の実施の形態 6 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【 0 1 3 0 】

同図に示すように、 N^+ ブロック領域 4 0 は、ボディー領域 1 0 の形成（予定

）領域を覆うべく必要最小限の大きさで形成されている。

【0131】

一方、ゲート電極9はボディー領域10方向に大きく延長して形成されるゲートエクステンション領域9eを有している。なお、他の構成は、図10で示した実施の形態1と同様である。

【0132】

実施の形態6の製造方法では、実施の形態1と同様、ゲートエクステンション領域9e下のウェル領域11にはN型の不純物が注入されることは確実になくなるため、その分、ボディー抵抗の抵抗値の減少を図るとともにばらつきを抑制することができ、ボディー抵抗の低減化効果を実施の形態1と同様に得ることができる。

【0133】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定SOI構造の半導体装置を得ることができる。

【0134】

加えて、 N^+ ブロック領域40を従来の N^+ ブロック領域から変化させることがないため、実施の形態6の製造方法を行うことによって、製造工程数が従来から増えることはない。

【0135】

さらに、実施の形態6の製造方法は、実施の形態1と同様、ゲートエクステンション領域9e下の部分酸化膜31が不純物未入領域となり、落ち込み現象を抑制することができる分、ボディー抵抗の抵抗値の低減化をさらに図ることができる。

【0136】

また、図23の一点鎖線に示すように、ゲートエクステンション領域9fを N^+ ブロック領域40に一部重複するまで延長して形成することにより、実施の形態2～実施の形態4と同様、ウェル領域11におけるボディー抵抗経路にはN型の不純物が注入されることは確実になくなるため、ボディー抵抗の低減化効果を実施の形態1以上に得ることができる。

【 0 1 3 7 】

なお、図 2 3 では、N M O S 領域におけるゲートエクステンション領域 9 e , 9 f を示したが、P M O S 領域に同等なゲートエクステンション領域を有するゲート電極を形成すれば、同等の効果を得ることができる。

【 0 1 3 8 】

また、ゲートエクステンション領域 9 e , 9 f が存在することにより、ゲート電極 9 e , 9 f 下の部分酸化膜 3 1 がゲート電極 9 形成後のウェットエッチング処理で薄くなることがない分、ボディー抵抗経路 3 6 となるウェル領域がゲート電圧の影響を受けてボディー抵抗が変動する度合を軽減することができる。

【 0 1 3 9 】

< 実施の形態 7 >

実施の形態 1 ~ 実施の形態 6 では、不純物の注入を阻止することを目的にソース・ドレイン領域、ボディー領域上を主としたブロック領域上にレジストを形成するという、遮蔽優先マスクを採用している。

【 0 1 4 0 】

遮蔽優先マスクは、レジスト形成面積を必要最小限に抑えて、不純物イオン注入時におけるゲート酸化膜等の静電破壊を防ぐことを主眼として今日まで一般的に使用されている。

【 0 1 4 1 】

遮蔽優先マスクの設計方法は下記の①、②に分類される。

①不純物の注入を阻止すべき領域を C A D 等で設計し、当該領域をそのままマスク上の遮光部としたマスク（正マスク）を用い、ポジ型レジストを露光する。

【 0 1 4 2 】

②不純物の注入を阻止すべき領域を C A D 等で設計し、当該領域以外の領域を遮光部としたマスク（反マスク）を用い、ネガ型レジストを露光する。

【 0 1 4 3 】

しかしながら、近年、イオン注入技術が向上し、イオン注入時にチャージアップを補償すべくエレクトロンシャワー等の処理を行うことにより、上述した静電破壊が生じにくくなってきている。

【 0 1 4 4 】

そこで、レジスト面積が大きくなるものの、不純物を注入したい領域を主として開口部を設ける開口優先マスクを採用したのが実施の形態 7 の製造方法である。

【 0 1 4 5 】

開口優先マスクの設計方法は下記の③、④に分類される。

③不純物を注入すべき領域を C A D 等で設計後、反マスクを作成してそれを用いポジ型レジストを露光する。

【 0 1 4 6 】

④不純物を注入すべき領域を C A D 等で設計後、正マスクを作成してそれを用いネガ型レジストを露光する。

【 0 1 4 7 】

図 2 4 はこの発明の実施の形態 7 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【 0 1 4 8 】

同図に示すように、ソース・ドレイン領域 5, 6 に N 型の不純物を注入すべく必要最小限の領域に N^+ 注入領域 6 0 を設け、ボディー領域 1 0 に P 型の不純物を注入すべく必要最小限の領域に P^+ 注入領域 4 6 を設けている。

【 0 1 4 9 】

なお、 P^+ 注入領域 4 6 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト開口領域を示し、 N^+ 注入領域 6 0 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト開口領域を示している。

【 0 1 5 0 】

図 2 5 は実施の形態 7 の P^+ 注入レジスト形成時における断面構造を示す断面図であり、図 2 4 の E - E 断面に相当する。

【 0 1 5 1 】

同図に示すように、 P^+ 注入レジスト 6 1 は、 P^+ 注入領域 4 6 のみ開口されて形成される。

【 0 1 5 2 】

図 2 6 は実施の形態 7 の N^+ 注入レジスト形成時における断面構造を示す断面図であり、図 2 4 の E - E 断面に相当する。

【 0 1 5 3 】

同図に示すように、 N^+ 注入レジスト 6 2 は、 N^+ 注入領域 6 0 のみ開口されて形成される。

【 0 1 5 4 】

なお、 P^+ 注入レジスト 6 1 は図 9 で示す工程時に設けられ、 N^+ 注入レジスト 6 2 は図 8 で示す工程時に設けられる。

【 0 1 5 5 】

図 2 5 及び図 2 6 に示すように、 P^+ 注入レジスト 6 1 及び N^+ 注入レジスト 6 2 によってマスクされることにより、ウェル領域 1 1 の大部分は P 型及び N 型の不純物が共に注入されることはなくなるため、ボディー抵抗の抵抗値を下げるとともにばらつきを抑制することができる。その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 SOI 構造の半導体装置を得ることができる。

【 0 1 5 6 】

加えて、遮蔽優先マスクを開口優先マスクに変更した実施の形態 7 の製造方法を行うことによって、製造工程数が従来から増えることはない。

【 0 1 5 7 】

さらに、部分酸化膜 3 1 の大部分（領域 A 1 2 に対応する部分）には N 型及び P 型の不純物が共に注入されないため、部分酸化膜 3 1 には落ち込み現象はほとんど生じない。

【 0 1 5 8 】

したがって、実施の形態 7 の製造方法は落ち込み現象をより一層抑制することができ、ボディー抵抗の抵抗値の低減化を図ることができる。

【 0 1 5 9 】

< 実施の形態 8 >

図 2 7 はこの発明の実施の形態 8 である部分分離ボディー固定 SOI 構造の半導体装置の製造方法を示す平面図である。

【 0 1 6 0 】

同図に示すように、ボディー領域 1 0 に P 型の不純物を注入すべく必要最小限の領域に加え、ゲート電極 9 の長手方向延長線上ある一部領域をゲートコンタクト領域 9 c に向けて延長して P^+ 注入領域 4 7 を形成している。

【 0 1 6 1 】

なお、 P^+ 注入領域 4 7 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト開口領域を示し、 N^+ 注入領域 6 0 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト開口領域を示している。

【 0 1 6 2 】

図 2 8 は実施の形態 8 の P^+ 注入レジスト形成時における断面構造を示す断面図であり、図 2 7 の E - E 断面に相当する。

【 0 1 6 3 】

同図に示すように、 P^+ 注入レジスト 6 3 は、 P^+ 注入領域 4 7 のみ開口されて形成される。なお、 P^+ 注入レジスト 6 3 は図 9 で示す工程時に設けられる。なお、 N^+ 注入レジスト形成時における断面構造は図 2 6 で示した実施の形態 7 と同様である。

【 0 1 6 4 】

図 2 8 に示すように、 N^+ 注入レジスト 6 3 によってマスクされることにより、ウェル領域 1 1 の大部分は N 型の不純物が注入されることはなくなるため、ボディー抵抗の抵抗値を下げるのと同時にばらつきを抑制することができる。

【 0 1 6 5 】

さらに、図 2 8 に示すように、P 型不純物イオン 6 6 を積極的に部分酸化膜 3 1 下のウェル領域 1 1 に注入することにより、ウェル領域 1 1 の P 型不純物濃度を高め、ボディー抵抗の抵抗値の低減化を積極的に図ることができる。

【 0 1 6 6 】

その結果、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 S O I 構造の半導体装置を得ることができる。

【 0 1 6 7 】

加えて、遮蔽優先マスクを開口優先マスクに変更した実施の形態 8 の製造方法

を行うことによって、製造工程数が従来から増えることはない。

【0168】

さらに、部分酸化膜31の大部分は N^+ 注入レジスト62によってN型の不純物が注入されない。一方、P型の不純物は部分酸化膜31の大部分に注入されるが、ウェル領域11にP型の不純物が注入されることによるボディー抵抗の抵抗値低減効果が大きいいため、P型の不純物が部分酸化膜31の大部分に注入されることによる落ち込み現象を加味しても、ボディー抵抗の抵抗値の低減化を図ることができる。

【0169】

また、実施の形態8の P^+ 注入領域47を実施の形態7の P^+ 注入領域46より大きくする分、レジスト形成面積を実施の形態7より小さくできる。

【0170】

なお、図27の一点鎖線に示すように、ゲートコンタクト領域9cと一部重複するように P^+ 注入領域48を形成しても良い。この場合、ボディー抵抗の抵抗値の低減化をより一層図ることができる。

【0171】

＜実施の形態9＞

図29はこの発明の実施の形態9である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【0172】

同図に示すように、ボディー領域10にP型の不純物を注入すべく必要最小限の領域に加え、ゲート電極9の長手方向延長線上ある一部領域をゲートエクステンション領域9dに向けて延長し、ゲートエクステンション領域9dと一部重複する P^+ 注入領域49を形成している。

【0173】

なお、 P^+ 注入領域49は図9のP型不純物イオン18の注入時におけるレジスト開口領域を示し、 N^+ 注入領域60は図8のN型不純物イオン17の注入時におけるレジスト開口領域を示している。

【0174】

実施の形態 9 の製造方法では、実施の形態 8 同様の効果によって、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 SOI 構造の半導体装置を得ることができる。

【 0 1 7 5 】

加えて、実施の形態 8 の製造方法と同様、製造工程数が従来から増えることはない。

【 0 1 7 6 】

また、実施の形態 9 の P^+ 注入領域 4 9 を実施の形態 7 の P^+ 注入領域 4 6 より大きくする分、レジスト形成面積を実施の形態 7 より小さくできる。

【 0 1 7 7 】

< 実施の形態 1 0 >

図 3 0 はこの発明の実施の形態 1 0 である部分分離ボディー固定 SOI 構造の半導体装置の製造方法を示す平面図である。

【 0 1 7 8 】

同図に示すように、実施の形態 1 0 では、実施の形態 5 と同様、ゲート電極 9 に代えてゲート電極とゲート配線との機能を有するゲート配線部 1 4 を設けており、ゲート配線部 1 4 は、ドレイン領域 5、ソース領域 6 間のチャンネル形成領域 7 (図示せず) 上からボディー領域 1 0 方向に延在し、途中で折れ曲がって形成されている。

【 0 1 7 9 】

一方、ボディー領域 1 0 に P 型の不純物を注入すべく必要最小限の領域に加え、 N^+ 注入領域 6 0 側の一部領域をゲート配線部 1 4 に向けて延長し、ゲート配線部 1 4 と一部重複するように P^+ 注入領域 5 0 設けている。

【 0 1 8 0 】

なお、 P^+ 注入領域 5 0 は図 9 の P 型不純物イオン 1 8 の注入時におけるレジスト開口領域を示し、 N^+ 注入領域 6 0 は図 8 の N 型不純物イオン 1 7 の注入時におけるレジスト開口領域を示している。

【 0 1 8 1 】

実施の形態 1 0 の製造方法では、実施の形態 8 同様の効果によって、ボディー

抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 S O I 構造の半導体装置を得ることができる。

【0182】

加えて、実施の形態 8 の製造方法と同様、製造工程数が従来から増えることはない。

【0183】

また、実施の形態 10 の P^+ 注入領域 50 を実施の形態 7 の P^+ 注入領域 46 より大きくする分、レジスト形成面積を実施の形態 7 より小さくできる。

【0184】

<実施の形態 11>

図 31 はこの発明の実施の形態 11 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【0185】

同図に示すように、ソース・ドレイン領域 5, 6 に N 型の不純物を注入すべく必要最小限の領域に N^+ 注入領域 60 を設け、ボディー領域 10 に P 型の不純物を注入すべく必要最小限の領域に P^+ 注入領域 46 を設けている。

【0186】

一方、ゲート電極 9 はボディー領域 10 方向に大きく延長して形成されるゲートエクステンション領域 9e を有している。なお、他の構成は、図 24 で示した実施の形態 7 と同様である。

【0187】

実施の形態 11 の製造方法では、実施の形態 7 と同様の効果によって、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定 S O I 構造の半導体装置を得ることができる。

【0188】

加えて、実施の形態 7 の製造方法と同様、製造工程数が従来から増えることはない。

【0189】

また、図 31 の一点鎖線に示すように、ゲートエクステンション領域 9f を P

⁺注入領域 46 に一部重複するまで延長して形成しても良い。

【0190】

この方法により、ゲートエクステンション領域 9f と P⁺注入領域 46 との重なり部分の部分酸化膜 31 の膜厚の減少をなくすことができ、ボディー抵抗を低く安定させることができる。

【0191】

また、ゲートエクステンション領域 9e を形成した場合でも、ゲートエクステンション領域 9e 下の部分酸化膜 31 がゲート電極 9 形成後のウェットエッチング処理で薄くなることがない分、ボディー抵抗経路 36 となるウェル領域がゲート電圧の影響を受けてボディー抵抗が変動する度合を軽減することができる。

【0192】

＜実施の形態 12＞

図 32 はこの発明の実施の形態 12 である部分分離ボディー固定 SOI 構造の半導体装置の製造方法を示す平面図である。

【0193】

同図に示すように、ソース・ドレイン領域 5, 6 に N 型の不純物を注入すべく必要最小限の領域に N⁺注入領域 60 を設け、ボディー領域 10 に P 型の不純物を注入すべく必要最小限の領域に加え、ゲート電極 9 の長手方向延長線上ある一部領域をゲートコンタクト領域 9c に向けて延長して P⁺注入領域 47 を形成している。

【0194】

さらに、P⁺ダミー領域 73 に N 型の不純物を注入すべく必要最小限の領域にダミー N⁺注入領域 71 を設け、N⁺ダミー領域 74 に P 型の不純物を注入すべく必要最小限の領域にダミー P⁺注入領域 72 を設けている。

【0195】

なお、N⁺注入領域 60 及びダミー N⁺注入領域 71 は図 8 の N 型不純物イオン 17 の注入時における第 1 のレジストの開口領域を示し P⁺注入領域 47 及びダミー P⁺注入領域 72 は図 9 の P 型不純物イオン 18 の注入時における第 2 のレジストの開口領域を示している。

【0196】

実施の形態12の製造方法では、実施の形態7と同様の効果によって、ボディー抵抗の抵抗値を上昇させることなく精度良く制御可能な部分分離ボディー固定SOI構造の半導体装置を得ることができる。

【0197】

加えて、実施の形態7の製造方法と同様、製造工程数が従来から増えることはない。

【0198】

さらに、ダミー N^+ 注入領域71及びダミー P^+ 注入領域72を設ける分、レジスト形成面積をより一層小さくすることができる。ゲート酸化膜8等がチャージアップによって静電破壊される危険性を実施の形態7～実施の形態11以上に抑制することができる。

【0199】

さらに、ダミー N^+ 注入領域71及びダミー P^+ 注入領域72は、 P^+ ダミー領域73及び N^+ ダミー領域74（例えば、CMP用にパターン密度の均一化を図るべく形成される）の生成ルールと同様に矩形状に自動的に生成すれば良いため、比較的簡単に設計することができる。

【0200】

なお、図32で示した例では、ダミー N^+ 注入領域71及びダミー P^+ 注入領域72を第1及び第2のレジスト用に分けて設けたが、第1及び第2のレジスト間で同じ位置及び形状でダミー注入領域を設け、ダミー N^+P^+ 双方注入領域として共有するようにしても良い。

【0201】

ただし、ダミー領域にN型及びP型の不純物を共に注入するとシリサイド領域の剥離等の不具合が生じる恐れがあるため、図3-2に示すように、ダミー N^+ 注入領域71及びダミー P^+ 注入領域72を重複することなく分けて設けることにより、ダミー領域にはN型及びP型の不純物のうち一方のみが注入される方が望ましい。

【0202】

【発明の効果】

以上説明したように、この発明における請求項1記載の半導体装置の分離絶縁膜下の半導体領域は少なくとも一部において、第1導電型の不純物のみからなる第1導電型不純物領域を有することにより、ボディー領域から少なくとも1つの素子形成領域に至る半導体領域の抵抗であるボディー抵抗の抵抗値の低減化を図ることができる。

【0203】

請求項2記載の半導体装置における第1導電型不純物領域は、ボディー領域から少なくとも1つの素子形成領域に至る領域に形成されるため、ボディー抵抗の抵抗値のより一層の低減化を図ることができる。

【0204】

請求項3記載の半導体装置の分離絶縁膜は少なくとも一部において、第2導電型の不純物を含まない第2導電型不純物未入領域を有するため、分離絶縁膜形成後のウェット処理等によって分離絶縁膜の膜厚が薄くなる不具合を抑制することができる。

【0205】

請求項4記載の半導体装置における第2導電型不純物未入領域は、ボディー抵抗方向にボディー領域上から少なくとも1つの素子形成領域上に至る領域に形成されるため、分離絶縁膜の膜厚が薄くなる現象がボディー抵抗に及ぼす悪影響をより一層効果的に抑制することができる。

【0206】

請求項5記載の半導体装置の第2導電型不純物未入領域は分離絶縁膜形成後のウェット処理によっても膜厚が薄くならず、結果としてウェット処理によって膜厚が薄くなる他の領域より膜厚が厚くなる。

【0207】

したがって、第2導電型不純物未入領域下の半導体領域のボディー抵抗に及ぼす悪影響を及ぼすことはない。

【0208】

請求項6記載の記載の半導体装置におけるトランジスタのゲート電極は分離絶

縁膜上に延びて形成されるため、ゲート電極形成後にゲート電極下の半導体領域に第2の導電型の不純物注入されることを効果的に回避することができる。

【0209】

請求項7記載の半導体装置は、素子として機能しないダミー領域をさらに備えるため、不純物を注入すべき領域に開口部を設ける開口優先マスク方式を採用してSOI層に不純物を注入する際に、開口優先マスクとなるレジストの形成面積をダミー領域に開口を設ける分、小さくすることができる。

【0210】

請求項8記載の半導体装置において、ダミー領域は第1導電型及び第2導電型双方の不純物が導入される領域を含むため、第1及び第2導電型双方の開口優先マスクとなる第1及び第2のレジストの形成面積をダミー領域に開口を設ける分、小さくすることができる。

【0211】

請求項9記載の半導体装置において、ダミー領域は第1導電型及び第2導電型の不純物がそれぞれ導入される第1及び第2のダミー領域を含むため、第1及び第2導電型それぞれの開口優先マスクとなる第1及び第2のレジストの形成面積を第1及び第2のダミー領域に開口を設ける分、それぞれ小さくすることができる。

【0212】

さらに、第1及び第2のダミー領域は共に一方の導電型の不純物しか導入されないため、第1及び第2導電型の不純物が共に注入されることに伴う不具合は生じない。

【0213】

この発明における請求項10記載の半導体装置の製造方法は、ボディー領域と分離絶縁膜における一部領域とを含むブロック領域を第2導電型の不純物導入を阻止する領域に設定して、SOI層に第2導電型の不純物を導入することにより活性領域を形成するため、ブロック領域下の半導体領域への第2導電型の不純物の注入が確実に回避できる分、ボディー領域から少なくとも1つの素子形成領域に至る半導体領域の抵抗であるボディー抵抗の抵抗値の低減化を図ることができ

る。

【 0 2 1 4 】

請求項 1 1 記載の半導体装置の製造方法は、第 1 のレジストによってブロック領域下の半導体領域に第 2 導電型の不純物が注入されるのを回避することができる。

【 0 2 1 5 】

請求項 1 2 記載の半導体装置の製造方法は、第 1 のレジスト及びゲート電極によってブロック領域下及びゲート電極下の半導体領域に第 2 導電型の不純物が注入されるのを回避することができる。

【 0 2 1 6 】

請求項 1 3 記載の半導体装置の製造方法は、第 1 のレジスト及びゲート電極は、ボディー領域上から少なくとも 1 つの素子形成領域上に至る領域に連続的に形成されるため、ボディー抵抗の抵抗値のより一層の低減化を図ることができる。

【 0 2 1 7 】

請求項 1 4 記載の半導体装置の製造方法は、ゲート電極によってゲート電極下の半導体領域に第 2 導電型の不純物が注入されるのを回避することができる。

【 0 2 1 8 】

請求項 1 5 記載の半導体装置の製造方法において、ゲート電極はボディー領域上から少なくとも 1 つの素子形成領域上に至る領域に形成されるため、ボディー抵抗の抵抗値のより一層の低減化を図ることができる。

【 0 2 1 9 】

請求項 1 6 記載の半導体装置の製造方法は、ステップ(c)、(d)を第 2 及び第 1 導電型の不純物の導入を所望する領域に第 1 及び第 2 の開口部をそれぞれ有する、開口優先マスク方式の第 1 及び第 2 のレジストを用いて行うことにより、ステップ(c)、(d)の実行時に第 2 及び第 1 導電型の不純物が半導体領域に導入されることが回避できる分、ボディー抵抗の抵抗値の低減化を図ることができる。

【 0 2 2 0 】

請求項 1 7 記載の半導体装置の製造方法におけるステップ(d)で用いられる第 2 のレジストの第 2 の開口部は、実質的にボディー領域上にのみ設けられる開口

部を含むため、ステップ(d)の実行時に分離絶縁膜の大部分の領域において、第1導電型の不純物が導入されてしまうことはない。

【0221】

請求項18記載の半導体装置の製造方法におけるステップ(d)で用いられる第2のレジストの第2の開口部は、ボディー領域及び分離絶縁膜上の一部上に設けられる開口部を含むため、ステップ(d)の実行時に第2の開口部下の半導体領域に第1導電型の不純物を導入することにより、ボディー抵抗の抵抗値の低減化を図ることができる。この効果は第2の開口部下の分離絶縁膜に第1導電型の不純物が導入される不具合よりも十分大きい。

【0222】

請求項19記載の半導体装置の製造方法は、半導体領域におけるボディー領域上から少なくとも1つの素子形成領域上に至る領域に第2の開口部から第1導電型の不純物が注入されるため、ボディー抵抗の抵抗値のより一層の低減化を図ることができる。

【0223】

請求項20記載の半導体装置の製造方法は、第1及び第2のレジストに第1及び第2のダミー開口部を設ける分、第1及び第2のレジストの形成面積の縮小を図ることができる。

【0224】

請求項21記載の半導体装置の製造方法は、第1及び第2のダミー開口部を同じ位置及び形状で形成することにより、第1（第2の）のダミー開口部を有するダミーパターンを第1及び第2のレジスト用に共通使用することができる。

【0225】

請求項22記載の半導体装置の製造方法は、第1及び第2のレジストの形成面積を第1及び第2のダミー領域に第1及び第2のダミー開口部を設ける分、それぞれのレジスト形成面積を小さくすることができる。

【0226】

さらに、第1及び第2のダミー開口部を介して第1及び第2導電型の不純物を導入して形成される第1及び第2のダミー領域は、それぞれ一方の導電型の不純

物しか導入されないため、第 1 及び第 2 導電型の不純物が共に注入されることに伴う不具合は生じない。

【図面の簡単な説明】

【図 1】 この発明の基本となる部分分離ボディー固定 S O I 構造の半導体装置を示す断面図（その 1）である。

【図 2】 この発明の基本となる部分分離ボディー固定 S O I 構造の半導体装置を示す断面図（その 2）である。

【図 3】 この発明の基本となる部分分離ボディー固定 S O I 構造の半導体装置を示す平面図である。

【図 4】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 5】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 6】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 7】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 8】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 9】 部分分離ボディー固定 S O I 構造の半導体装置の基本製造方法を示す断面図である。

【図 1 0】 この発明の実施の形態 1 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 1 1】 実施の形態 1 のブロックレジスト形成時における断面構造を示す断面図である。

【図 1 2】 一般的な部分分離ボディー固定 S O I 構造の半導体装置を示す断面図である。

【図 1 3】 部分酸化膜の落ち込み現象を示す説明図である。

【図 1 4】 従来の製造方法で製造される部分分離ボディー固定 S O I 構造

の半導体装置の断面構造を示す断面図である。

【図 1 5】 実施の形態 1 の製造方法で製造される部分分離ボディー固定 S O I 構造の半導体装置の断面構造を示す断面図である。

【図 1 6】 この発明の実施の形態 2 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 1 7】 実施の形態 2 のブロックレジスト形成時における断面構造を示す断面図である。

【図 1 8】 実施の形態 2 の製造方法で製造される部分分離ボディー固定 S O I 構造の半導体装置の断面構造を示す断面図である。

【図 1 9】 実施の形態 2 の製造方法で製造される部分分離ボディー固定 S O I 構造の半導体装置の断面構造を示す断面図である。

【図 2 0】 この発明の実施の形態 3 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 1】 この発明の実施の形態 4 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 2】 この発明の実施の形態 5 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 3】 この発明の実施の形態 6 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 4】 この発明の実施の形態 7 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 5】 実施の形態 7 の P^+ 注入レジスト形成時における断面構造を示す断面図である。

【図 2 6】 実施の形態 7 の N^+ 注入レジスト形成時における断面構造を示す断面図である。

【図 2 7】 この発明の実施の形態 8 である部分分離ボディー固定 S O I 構造の半導体装置の製造方法を示す平面図である。

【図 2 8】 実施の形態 8 の P^+ 注入レジスト形成時における断面構造を示す断面図である。

【図29】 この発明の実施の形態9である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【図30】 この発明の実施の形態10である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【図31】 この発明の実施の形態11である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【図32】 この発明の実施の形態12である部分分離ボディー固定SOI構造の半導体装置の製造方法を示す平面図である。

【図33】 従来の部分分離ボディー固定SOI構造の問題点を説明するための断面図である。

【図34】 Asの不純物プロファイルを示すグラフである。

【図35】 部分酸化膜の分離段差による問題点を説明するための断面図である。

【図36】 部分分離ボディー固定SOI構造の半導体装置の平面図である。

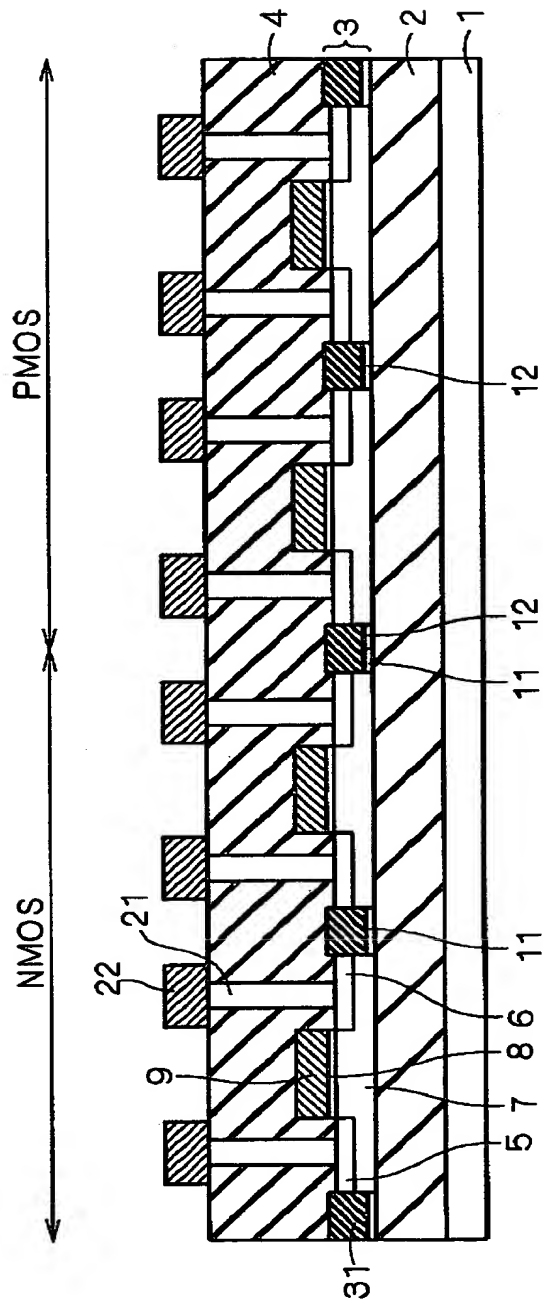
【符号の説明】

1 シリコン基板、2 埋め込み酸化膜、3 SOI層、4 層間絶縁膜、5 ドレイン領域、6 ソース領域、7 チャネル形成領域、8 ゲート酸化膜、9 ゲート電極、9c ゲートコンタクト領域、9e, 9f ゲートエクステンション領域、10 ボディー領域、11 ウェル領域(P型)、12 ウェル領域(N型)、14 ゲート配線部、15, 16 レジスト、31 部分酸化膜、41~45 N^+ ブロック領域、46~50 P^+ 注入領域、51, 52 N^+ ブロックレジスト、59 P^+ ブロックレジスト、61 P^+ 注入レジスト、62 N^+ 注入レジスト、71 ダミー N^+ 注入領域、72 ダミー P^+ 注入領域。

【書類名】

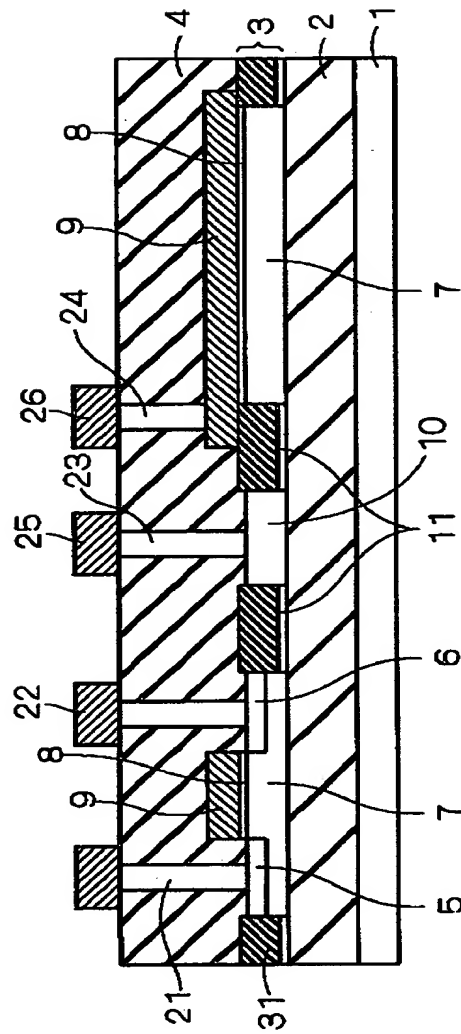
図面

【図 1】



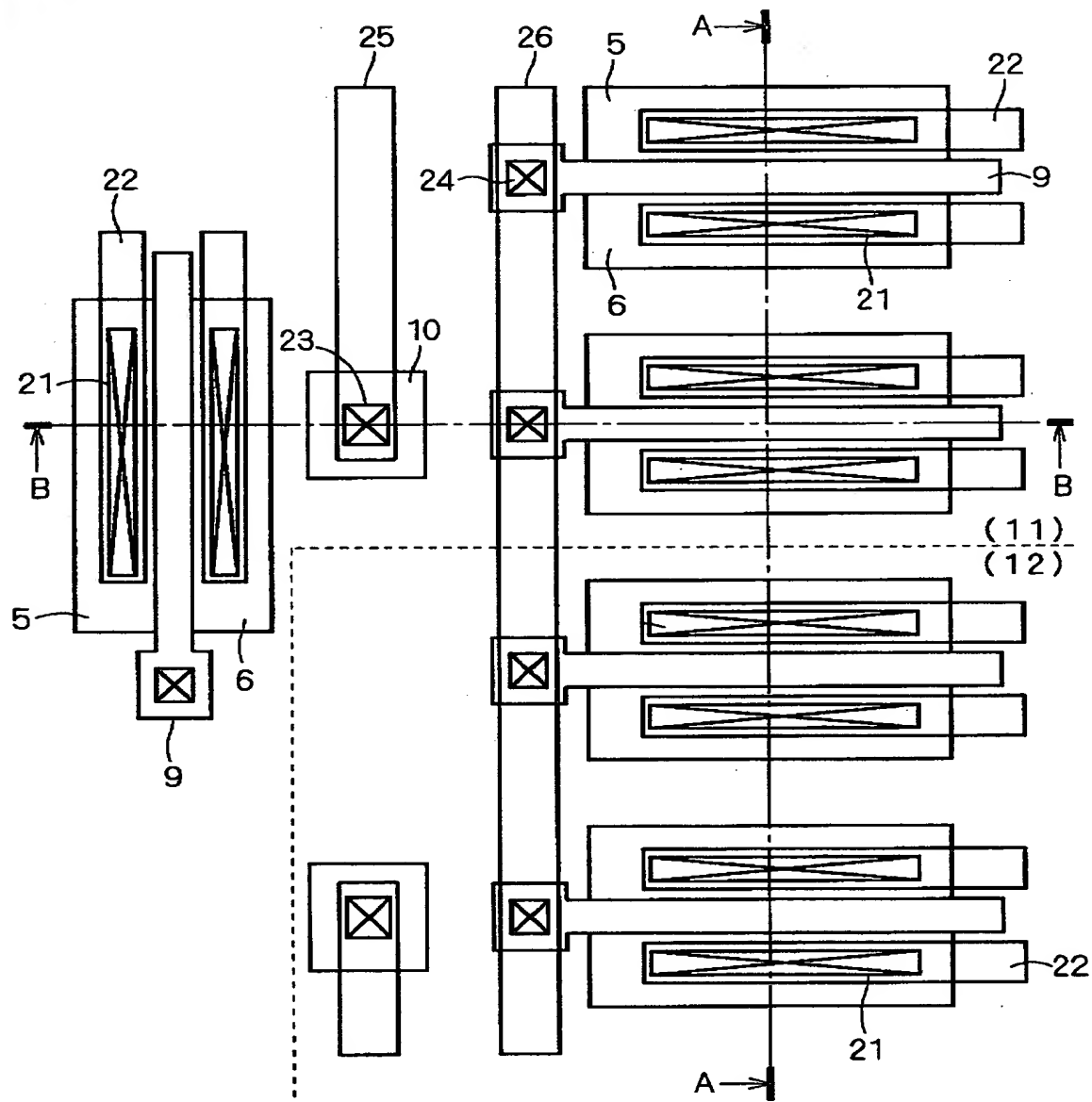
- | | |
|----------------|----------------|
| 1: シリコン基板 | 2: 埋め込み酸化膜 |
| 3: SOI層 | 4: 層間絶縁膜 |
| 5: ドレイン領域 | 6: ソース領域 |
| 7: チャネル形成領域 | 8: ゲート酸化膜 |
| 9: ゲート電極 | 11: ウェル領域 (p型) |
| 12: ウェル領域 (n型) | 31: 部分酸化膜 |

【図 2】

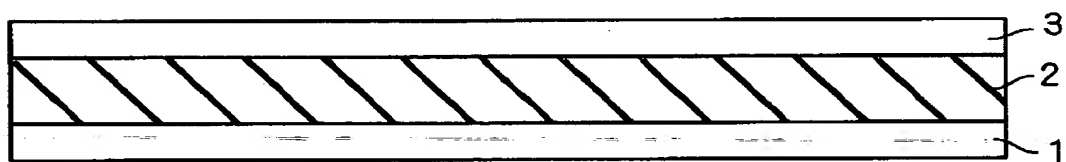


10 : ボディー領域

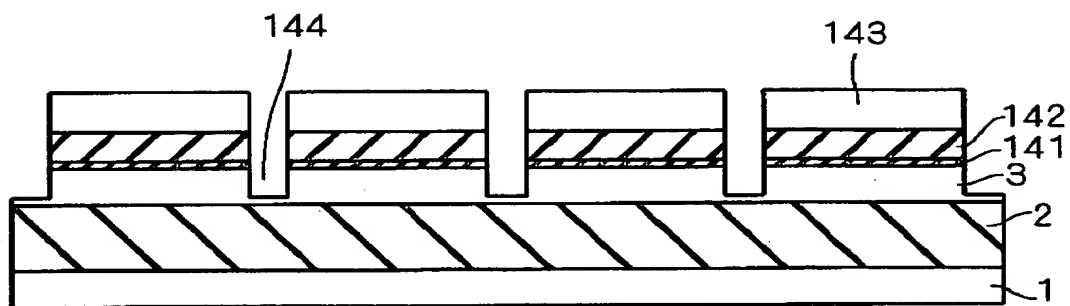
【図 3】



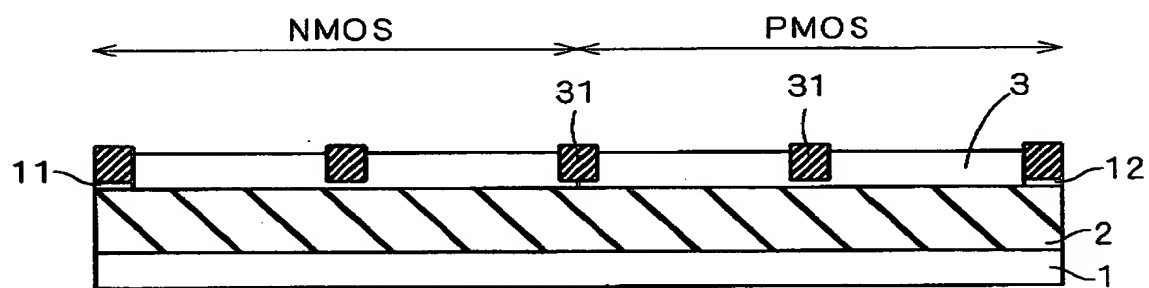
【図 4】



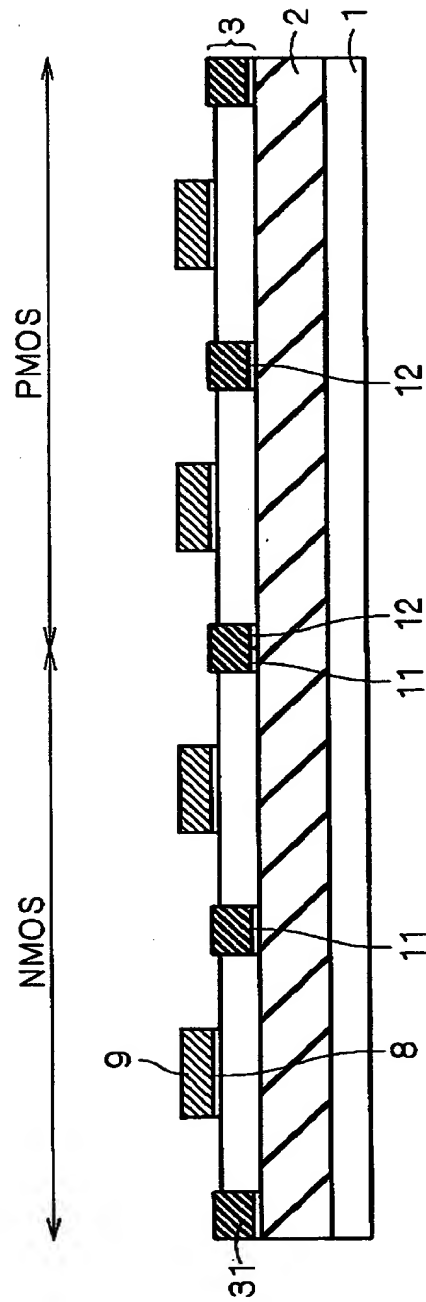
【図 5】



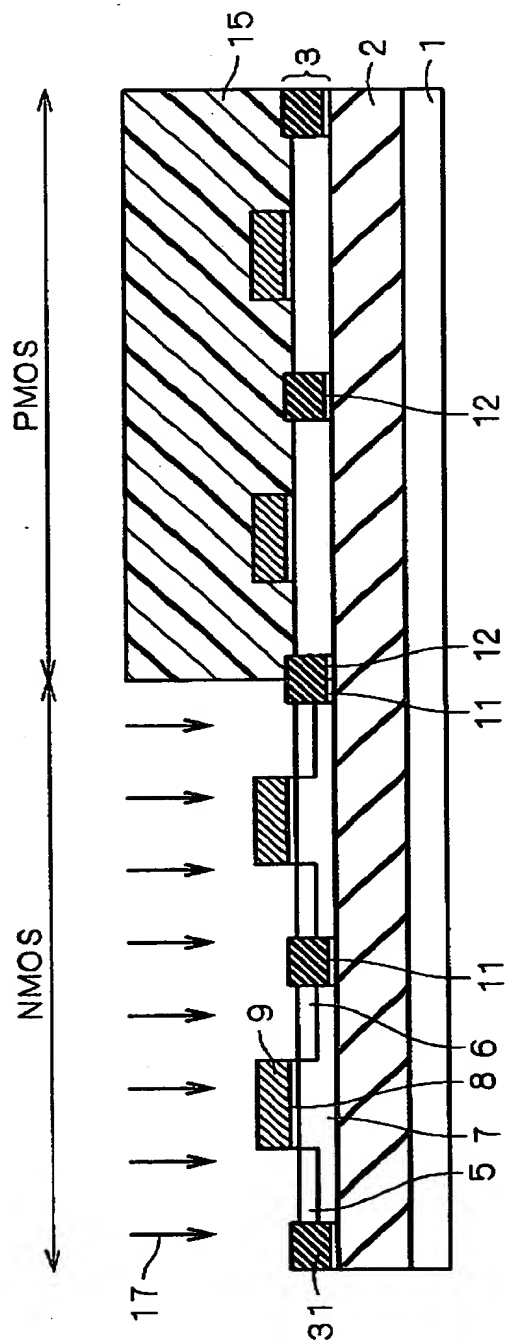
【図 6】



【図 7】

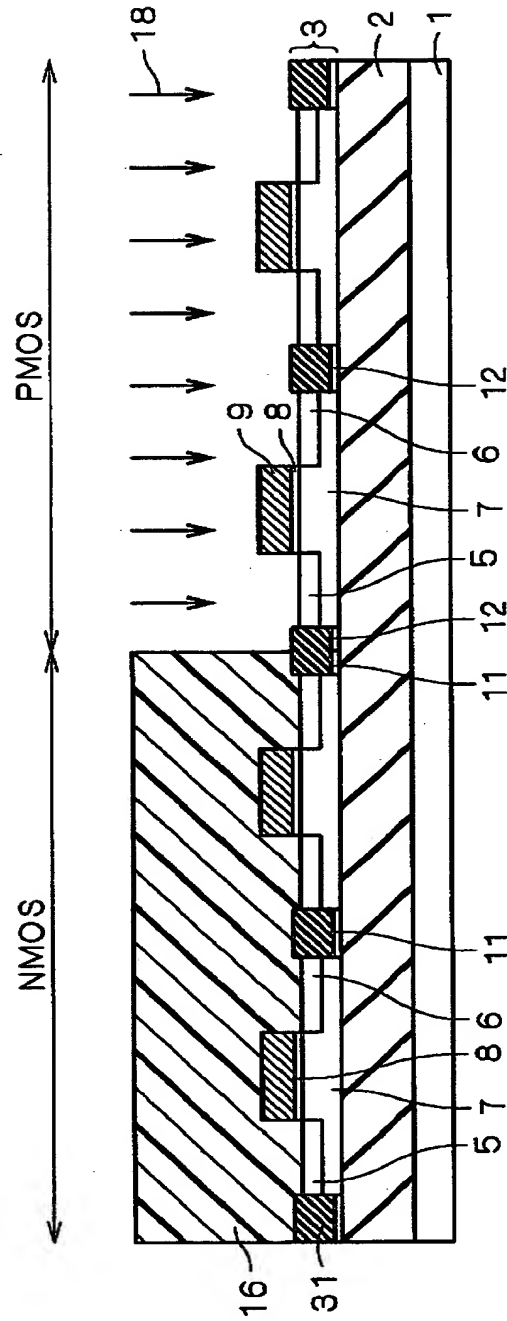


【図 8】



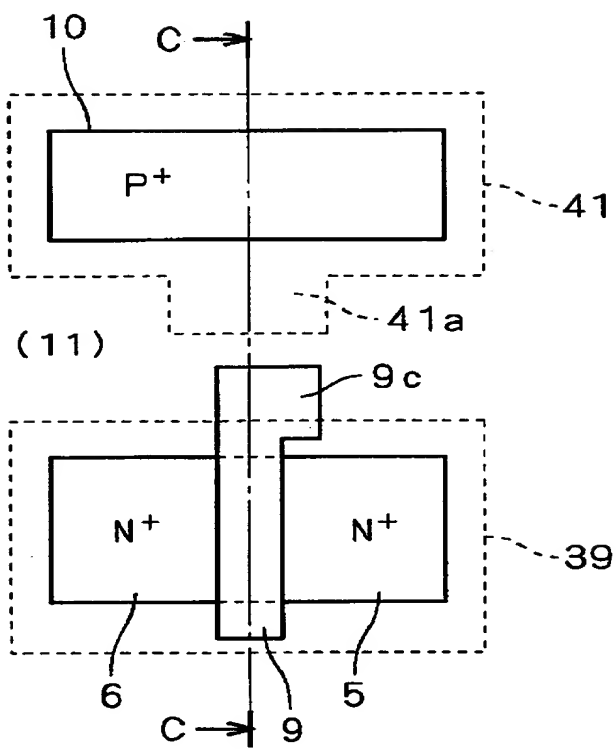
15: ヴィスト

【図9】



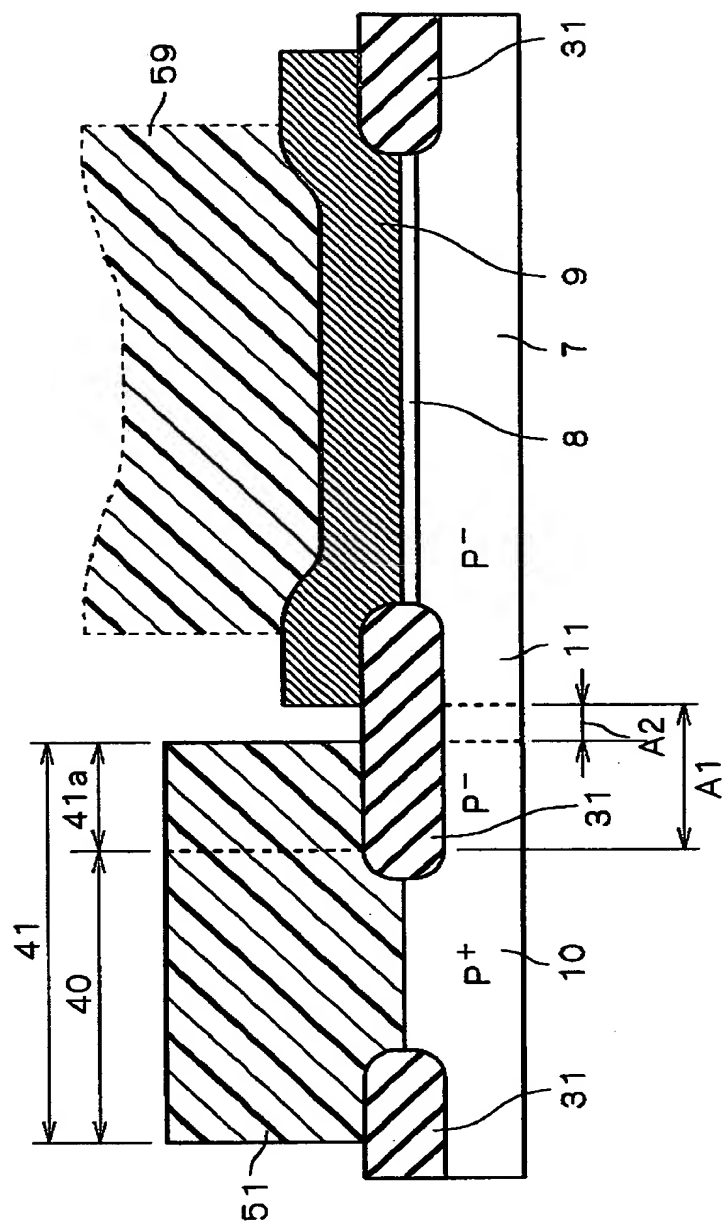
16:レジスト

【図10】



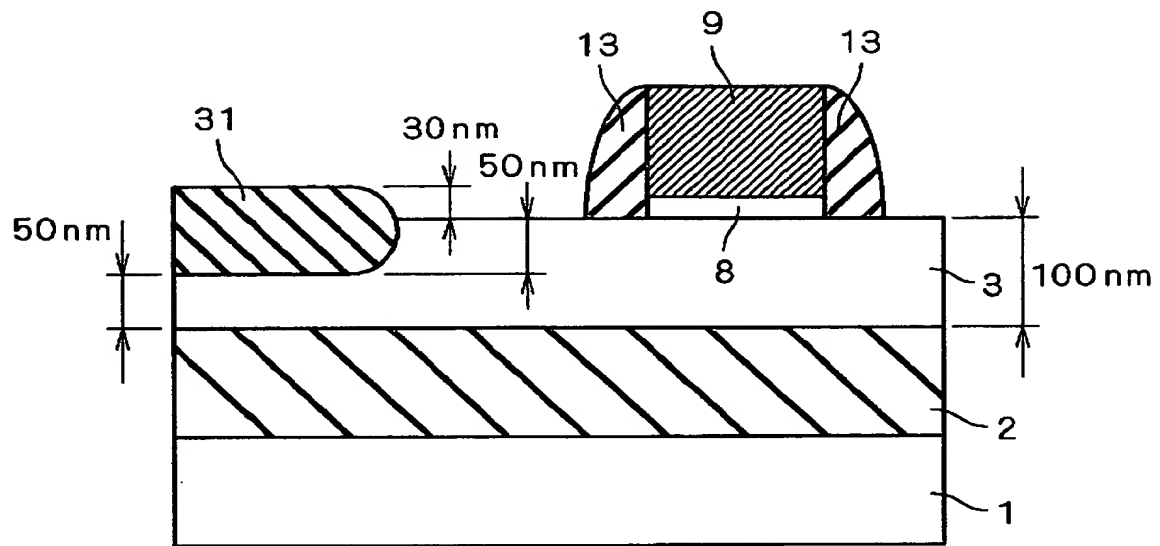
41 : N⁺ ブロック領域
9c : ゲートコンタクト領域

【図 1 1】

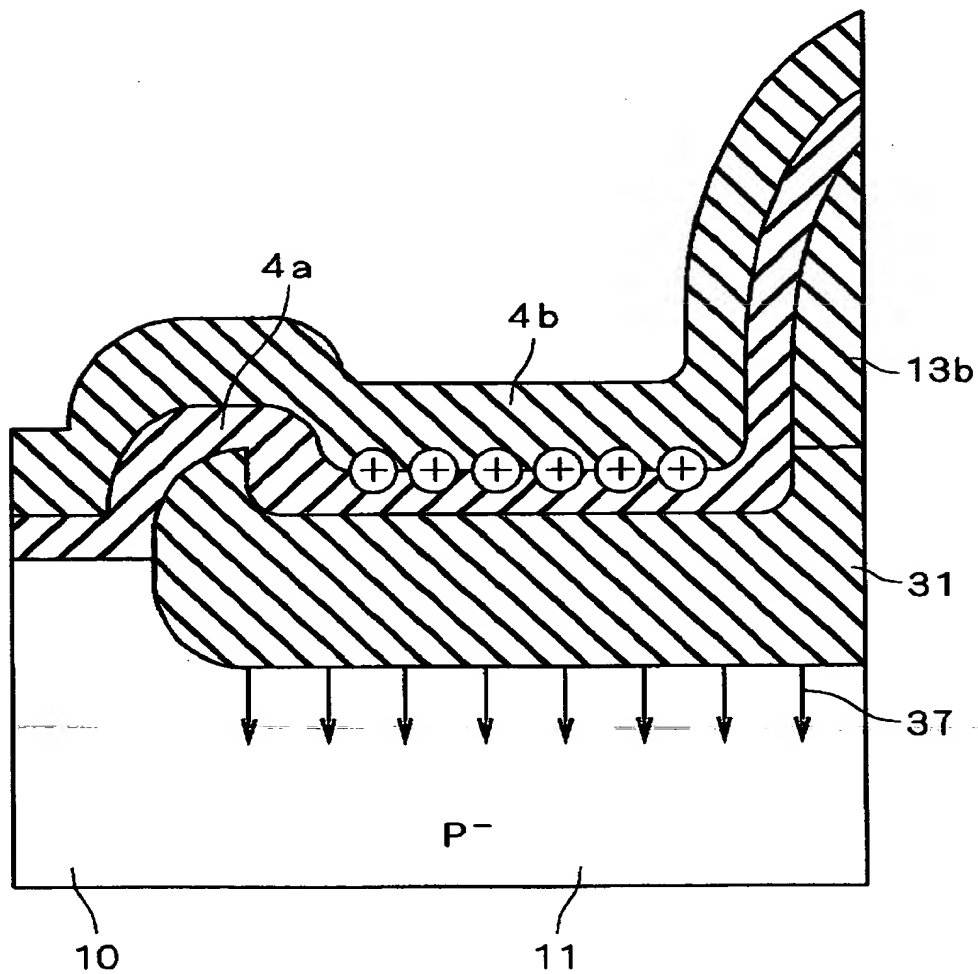


51: N⁺ プロックシスト
59: P⁺ プロックシスト

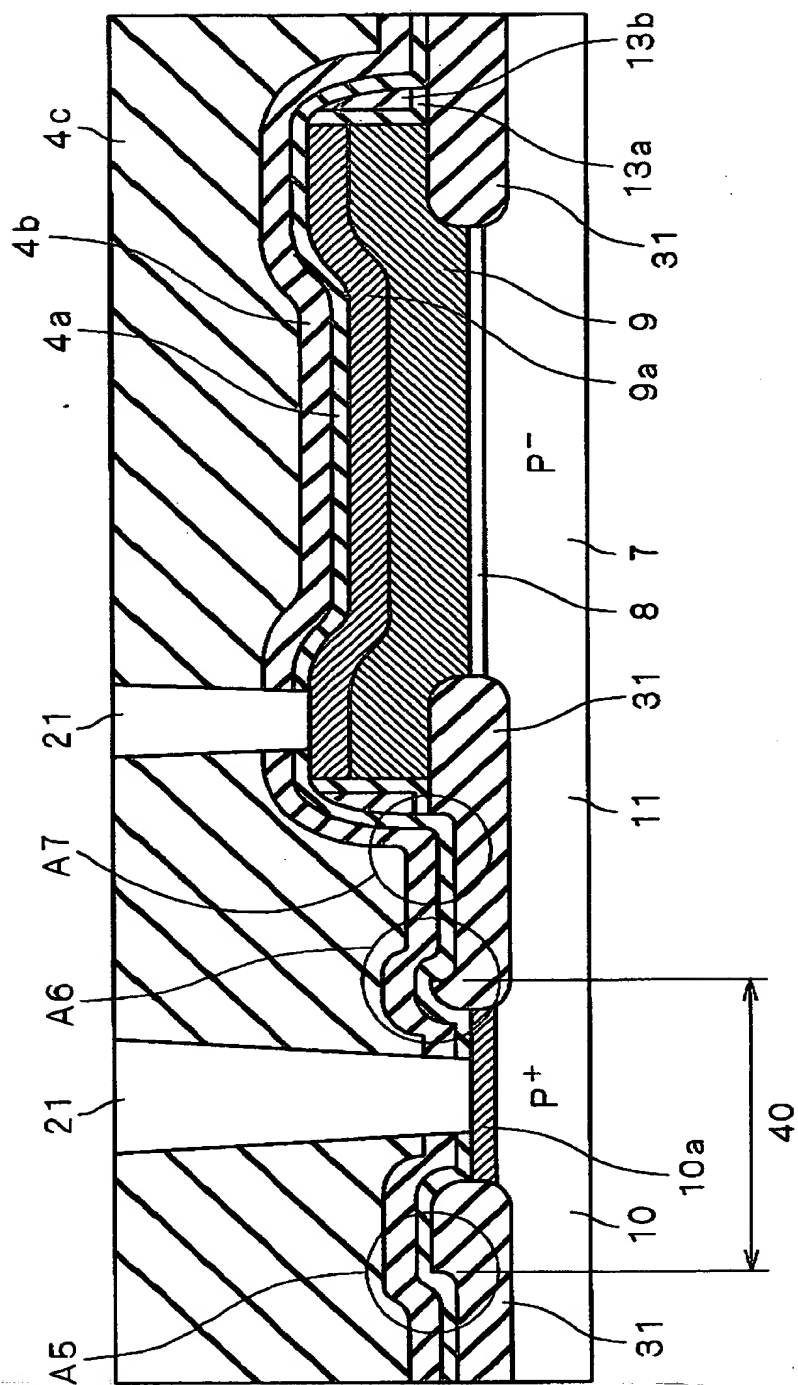
【図12】



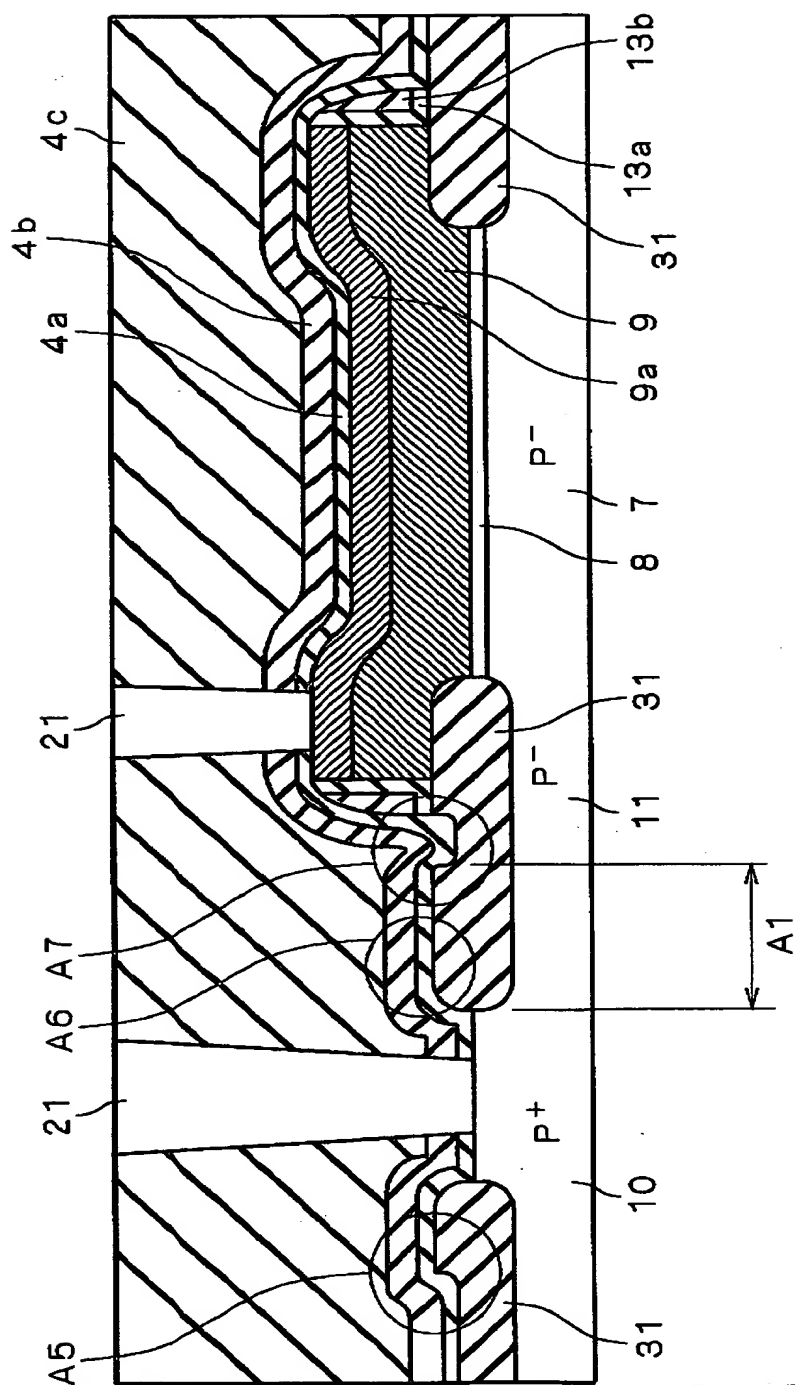
【図13】



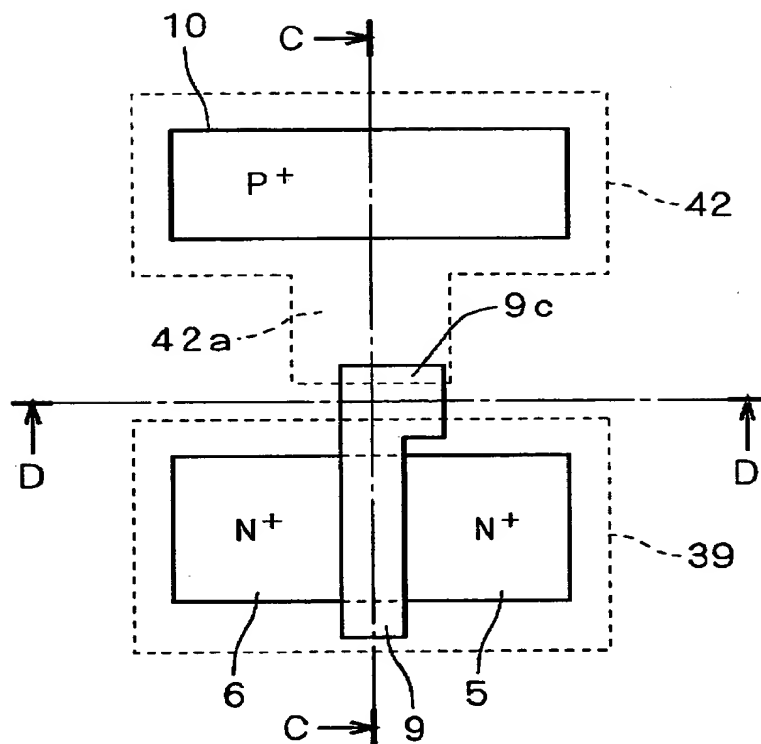
【図14】



【図 15】

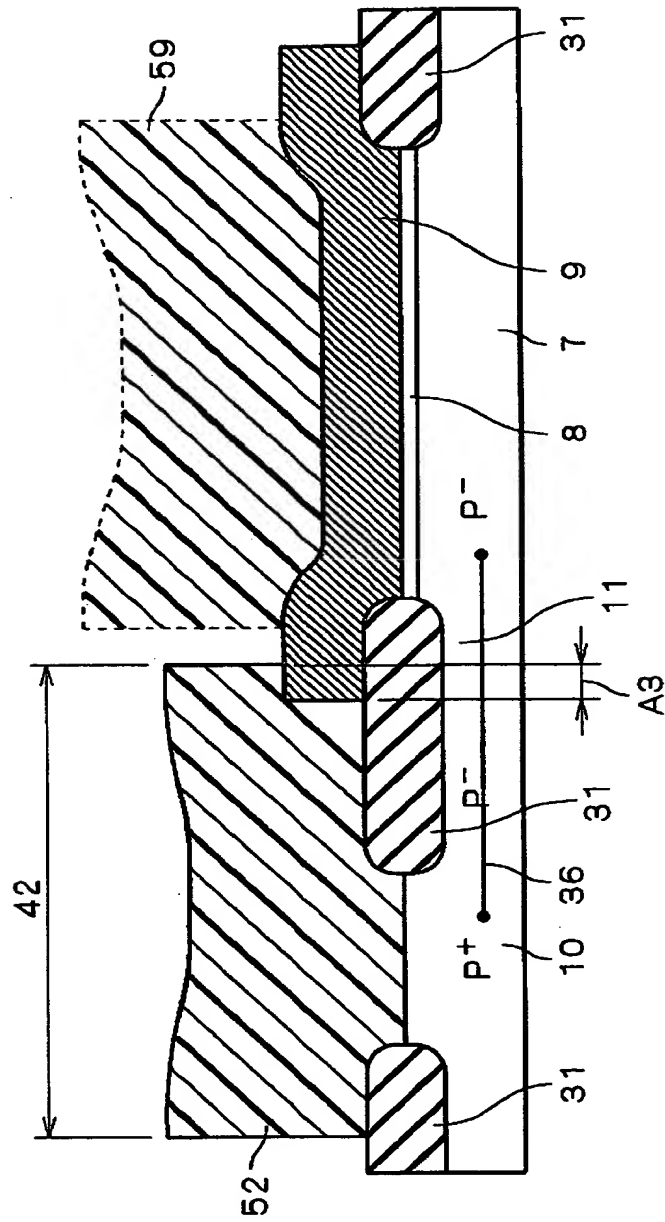


【図16】



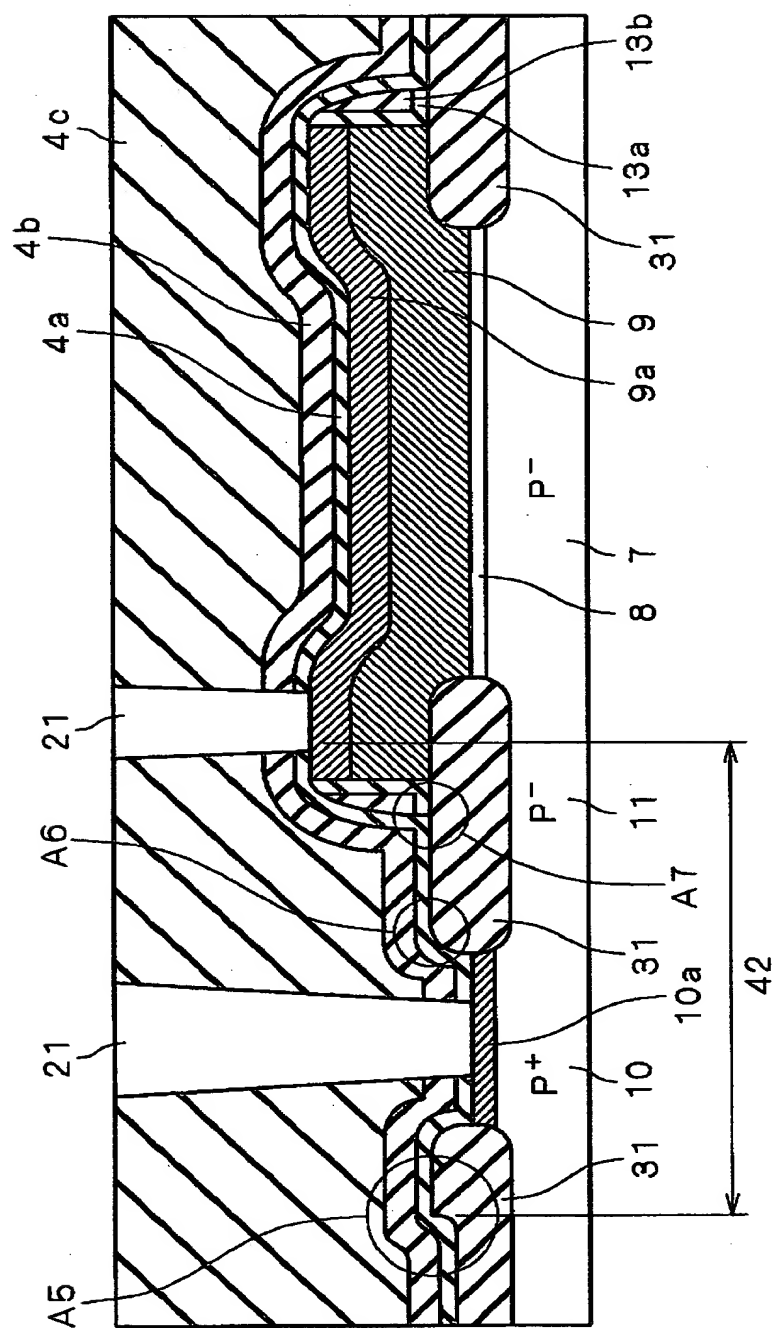
42 : N⁺ ブロック領域

【図 17】

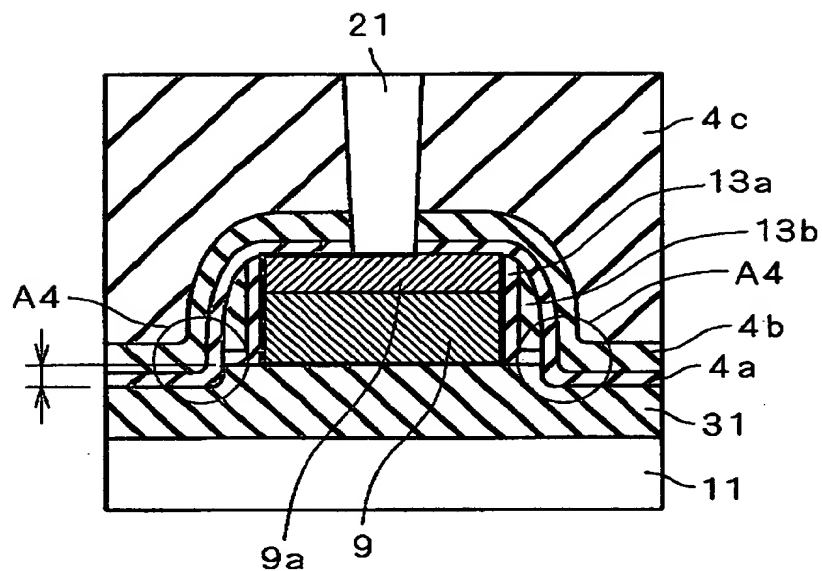


52 : N⁺ プロックレジスト

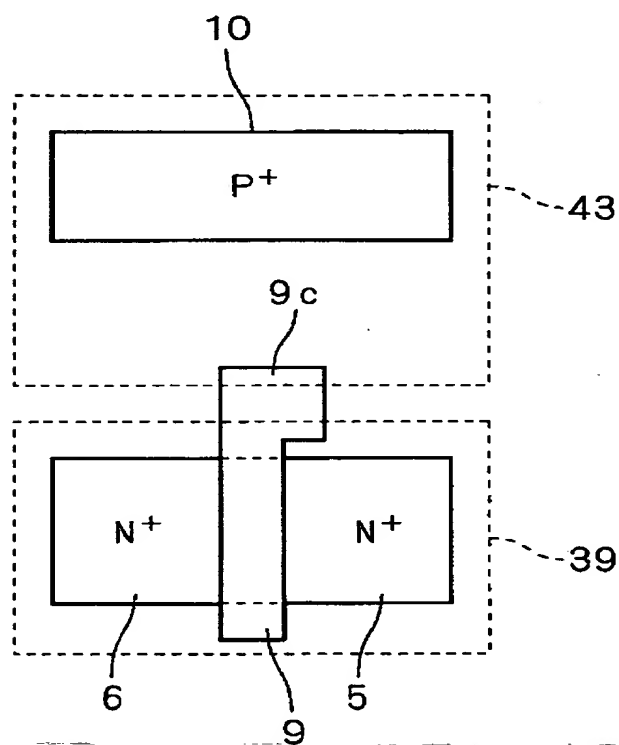
【図 18】



【図19】

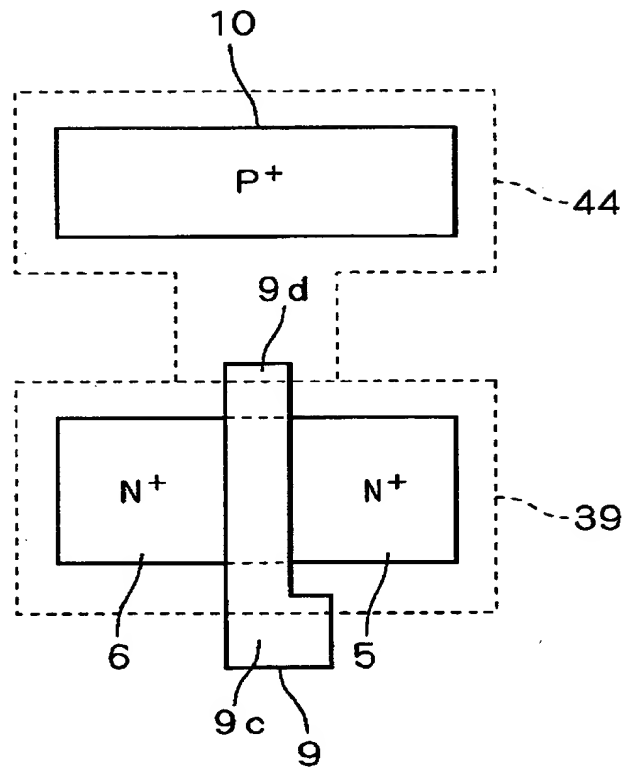


【図20】



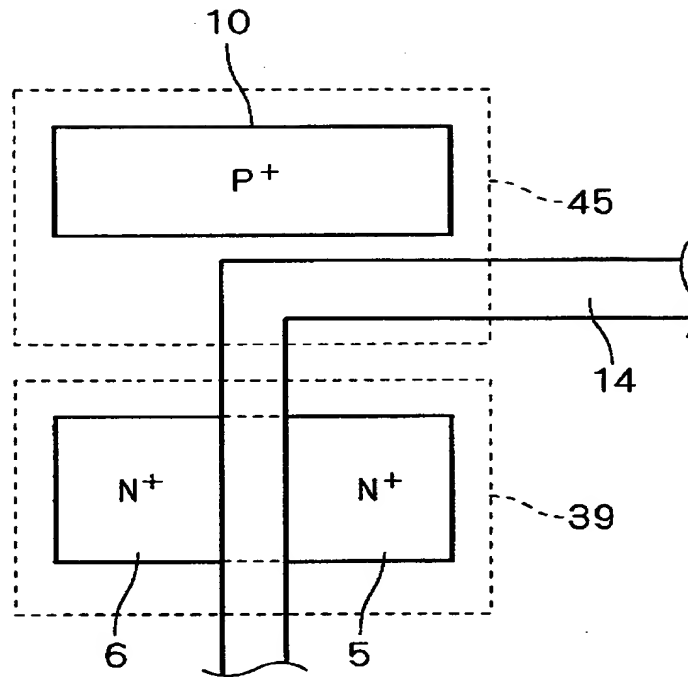
43 : N⁺ ブロック領域

【図 21】



44 : N^+ ブロック領域

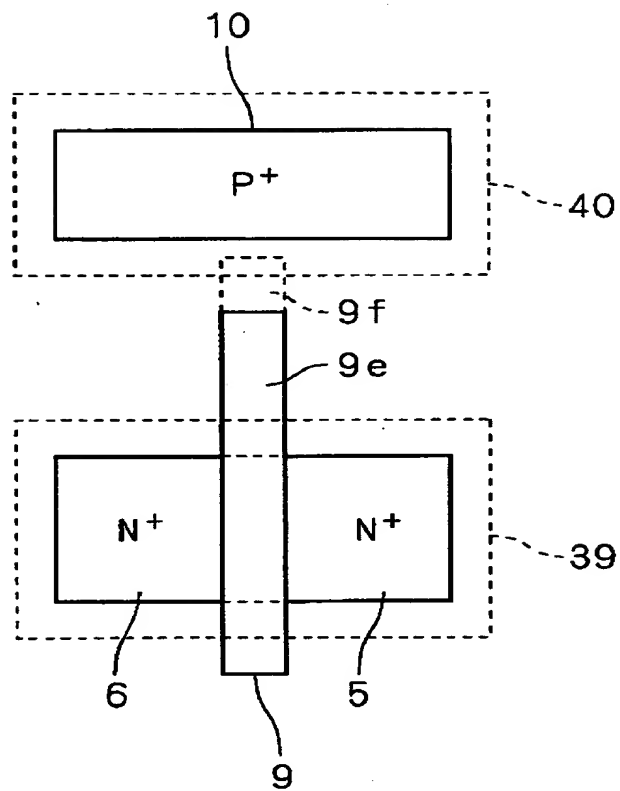
【図 2 2】



14 : ゲート配線部

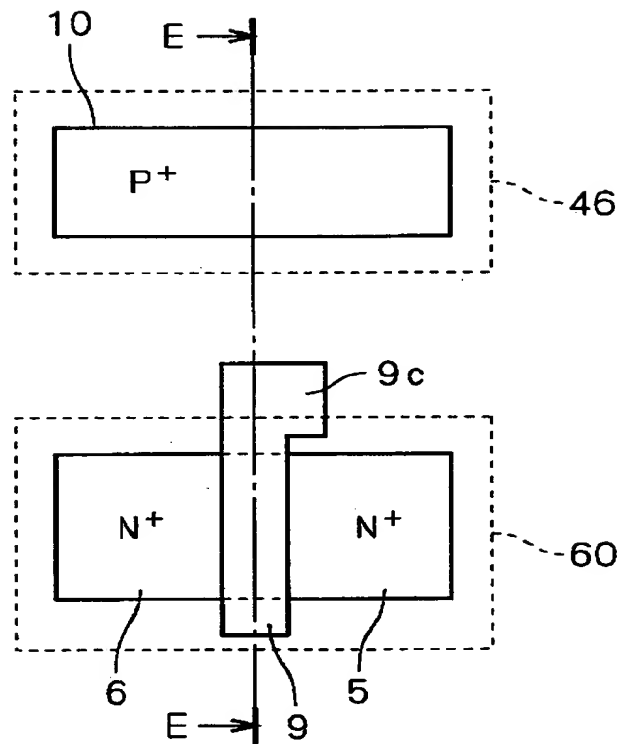
45 : N^+ ブロック領域

【図 23】



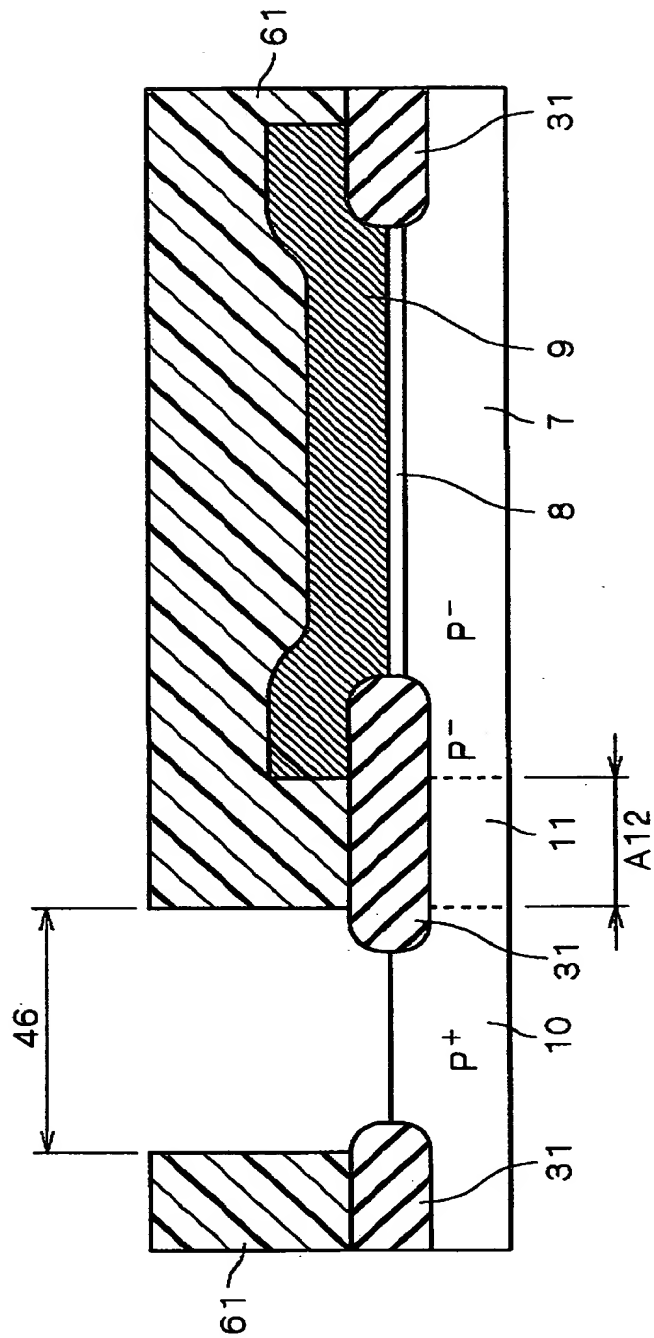
9e, 9f : ゲートエクステンション領域

【図 24】



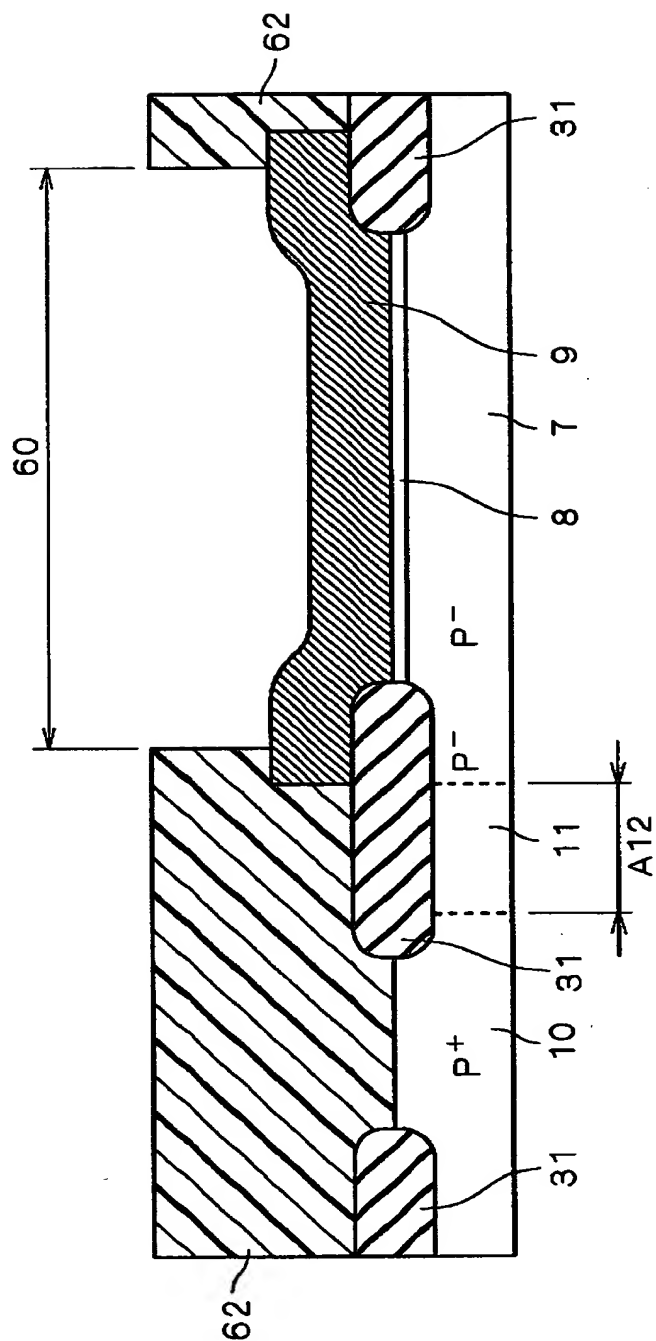
46 : P^+ 注入領域

【図 25】



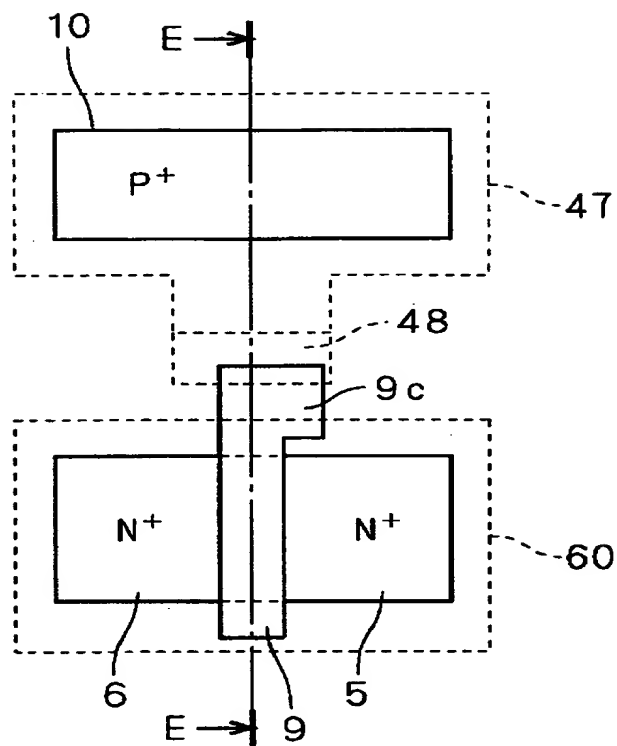
61: P⁺ 注入レジスト

【図 26】



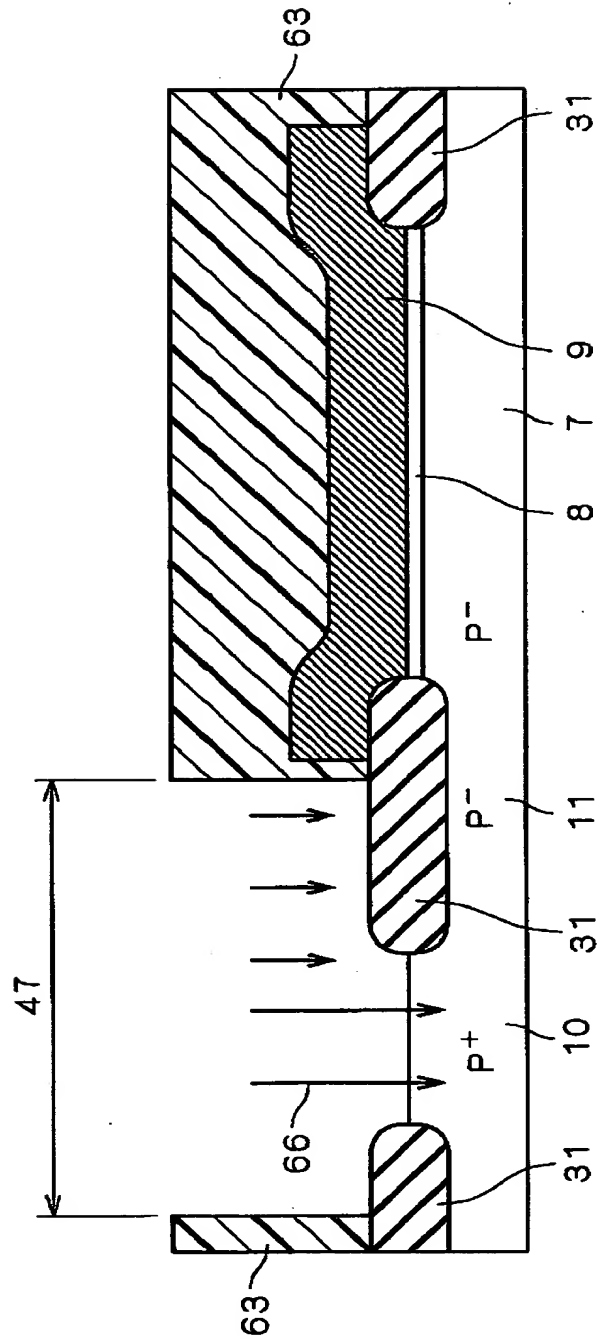
62 : N⁺ 注入レジスト

【図 27】

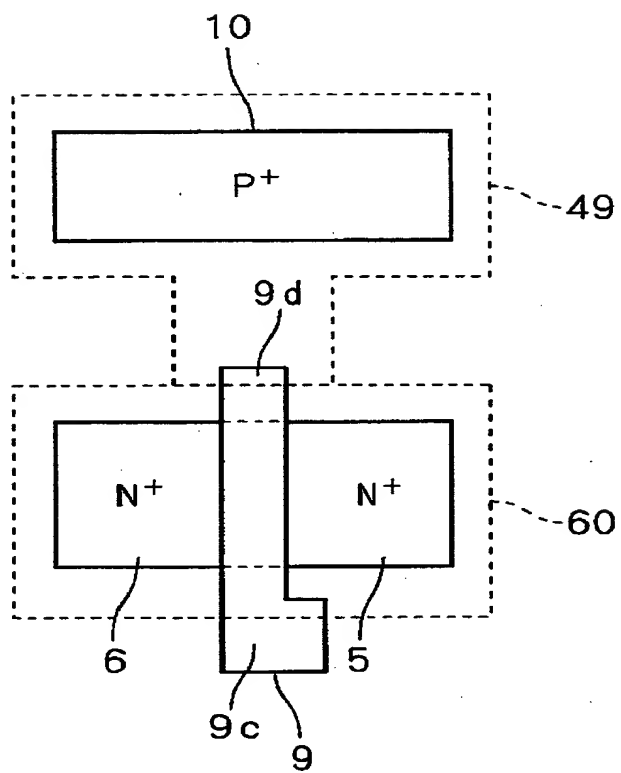


47, 48 : P⁺ 注入領域

【図28】

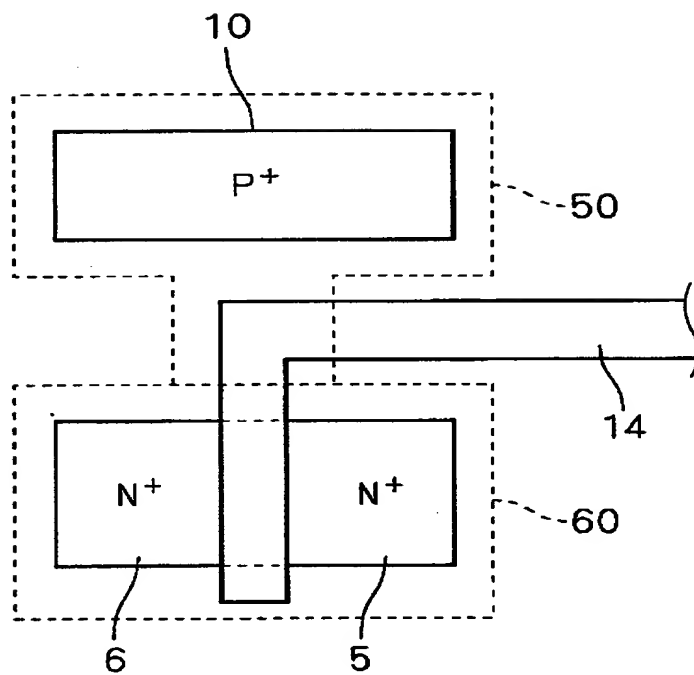


【図29】



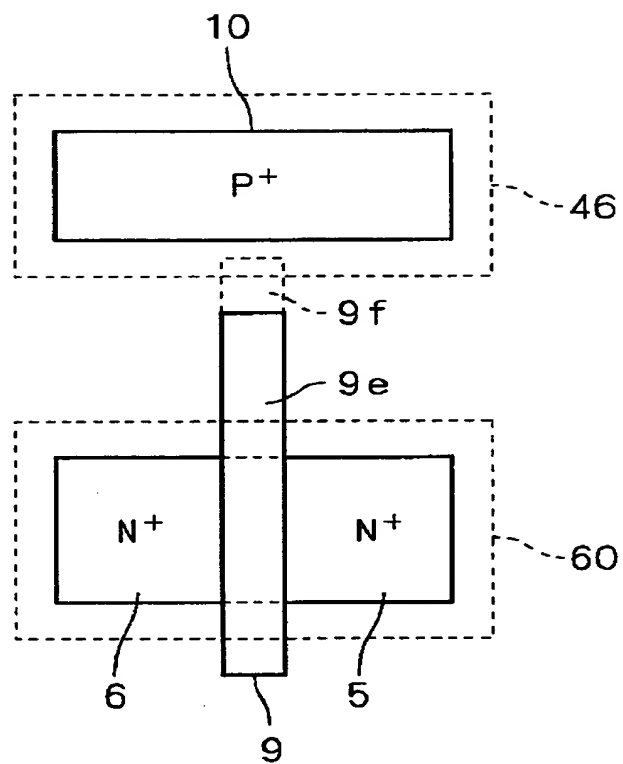
49 : P^+ 注入領域

【図 3 0】



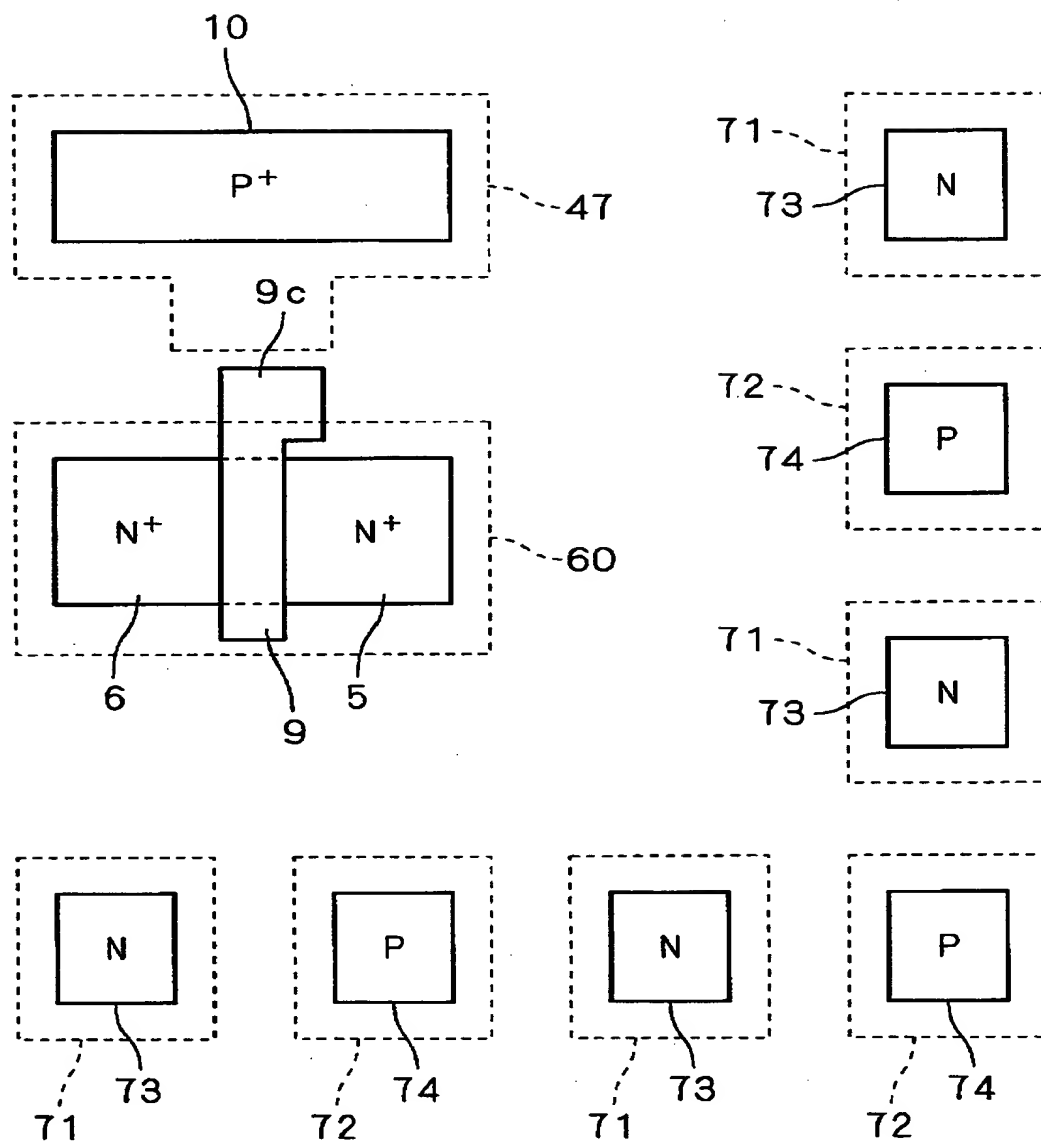
50 : P^+ 注入領域

【図 31】

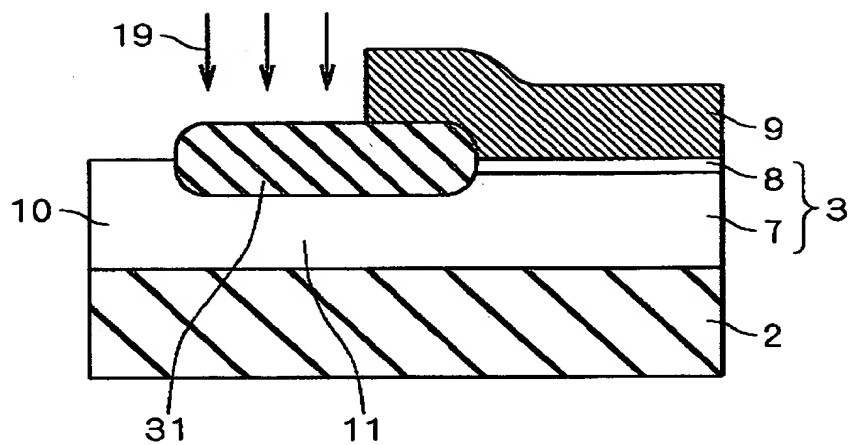


9e, 9f : ゲートエクステンション領域

【図32】

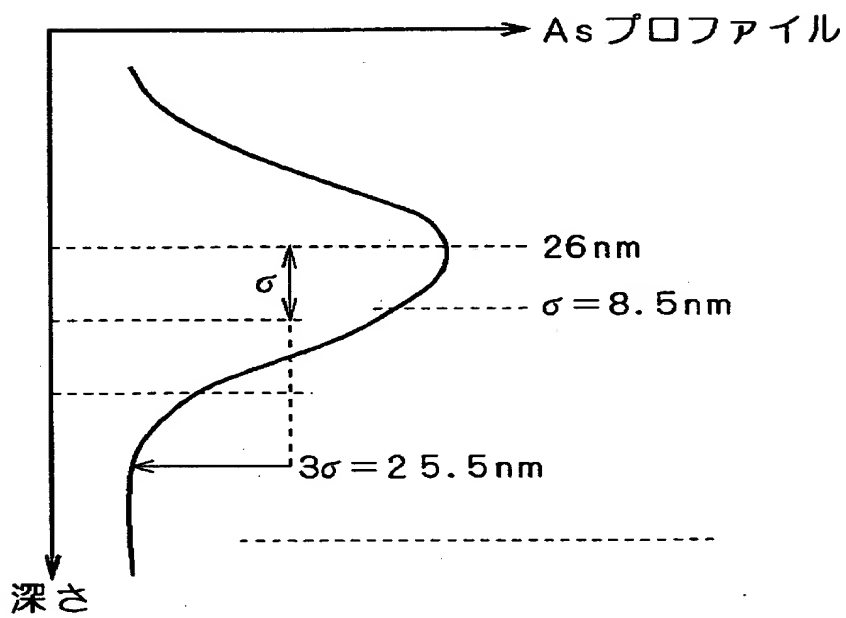


【図33】

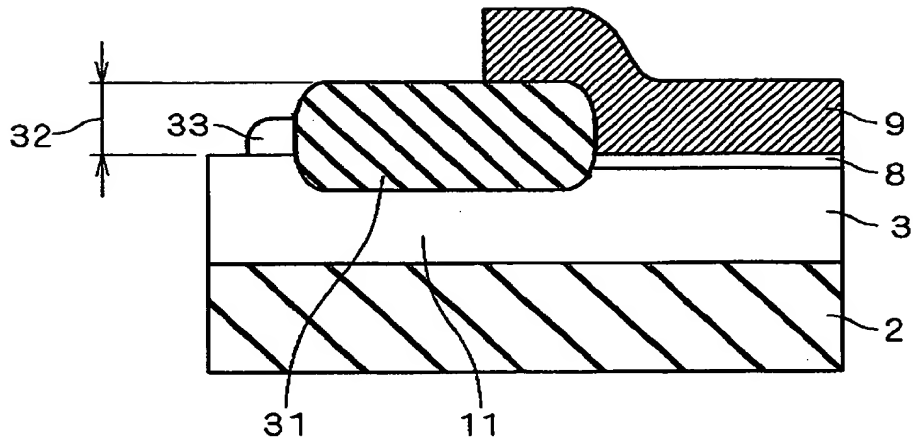


51 : N⁺ ブロックレジスト

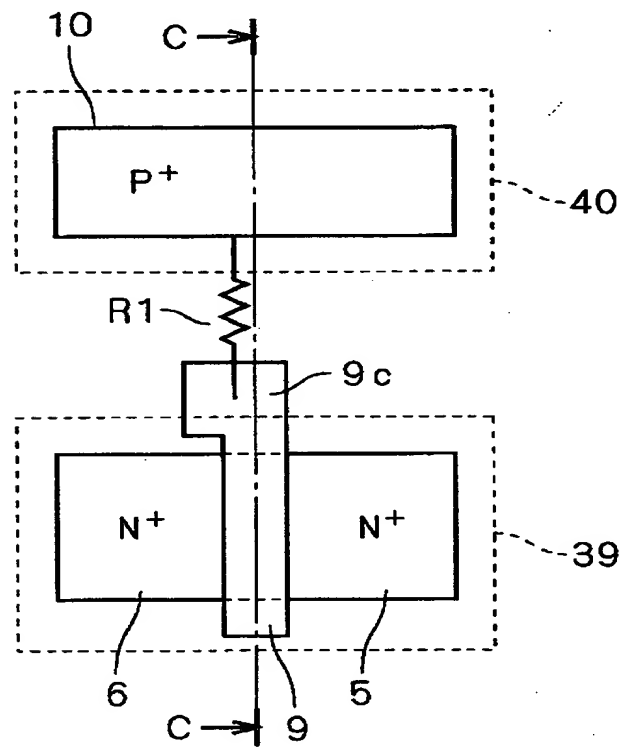
【図34】



【図 35】



【図 36】



【書類名】 要約書

【要約】

【課題】 ボディー抵抗の低減化を図った部分分離ボディー固定 S O I 構造の半導体装置及びその製造方法を得る。

【解決手段】 NMOSトランジスタのソース・ドレイン領域形成時において、 N^+ ブロックレジスト 5 1 における N^+ ブロック領域 4 1 のゲート方向延長領域 4 1 a によって、ゲート方向延長領域 4 1 a 下のウェル領域 1 1 には、N型の不純物が注入されることを回避する。ゲート電極 9 の長手方向延長線上においてN型の不純物が注入される恐れのあるウェル領域 1 1 である高抵抗形成領域を、従来の高抵抗形成領域 A 1 より狭い高抵抗形成領域 A 2 とすることができる。

【選択図】 図 1 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社